



Рекомендации к применению (v1.03)

**По программированию модулей
“XXXX-429UDXX”.**

Интерфейс ГОСТ 18977-79, РТМ 1495-75 (ARINC – 429)

04.03.2021

ООО “НОВОМАР”

.

Оглавление

Введение.....	3
Принятые сокращения.....	3
1. Общее понятие о радиальном канале обмена данными спецификации ARINC-429 (ГОСТ 18977-79, РТМ1495-75).....	4
2. Конфигурация приемников модулей xxxx-429UDxx.....	6
3. Конфигурация передатчиков модулей xxxx-429UDxx.....	11
4. Режимы работы передатчика.....	15
4.1 Режим работы с FIFO.....	15
4.2 Режим работы с внутренней памятью.....	16
4.3 Режим работы коммутатора.....	21
5 Установка пользовательской скорости приема/передачи.....	27
6. Инициализация каналов модулей " xxxx-429UDxx".	28
6.1 Порядок программирования приемника.....	28
6.2 Порядок программирования передатчика.....	28
7. Список исправлений и изменений.....	30

Введение.

Модули “xxxx-429UDxx” позволяют организовать передачу или прием данных в полностью автономном режиме, или с минимальным участием центрального процессора в линиях обмена информацией двуполярным кодом в оборудовании летательных аппаратов (ГОСТ 18977-79, РТМ 1495-75).

В настоящем документе описана организация интерфейса ГОСТ 18977-79, РТМ 1495-75 (ARINC429), устройство контроллера и методы организации обмена с использованием модулей “xxxx-429UDxx”.

Принятые сокращения.

ПК – персональный компьютер.

DMA – direct memory access (прямой доступ к памяти)

1. Общее понятие о радиальном канале обмена данными спецификации ARINC-429 (ГОСТ 18977-79, RTM1495-75).

Радиальный канал обмена данными спецификации ARINC-429 (ГОСТ 18977-79, RTM1495-75) предназначен для передачи данных между элементами бортовых систем летательных аппаратов. ГОСТ 18977-79 описывает вид и параметры сигналов в линии. В основу стандарта заложен вид биполярного двухфазного сигнала (код с возвратом к нулю, RZ-код), передаваемого по бифилярной экранированной линии связи (Рис. 1). Передача осуществляется на стандартизованных частотах (периода T) 32-х разрядными словами последовательного кода, включающими адресную и информационную части, первым следует младший бит (1) – последним старший (32), где 32-й разряд кода - бит контроля по четности (P). Слова разделяются обязательной паузой - отсутствием сигнала в линии в течение времени не менее $4T$, которая определяет окончание слова последовательного кода.

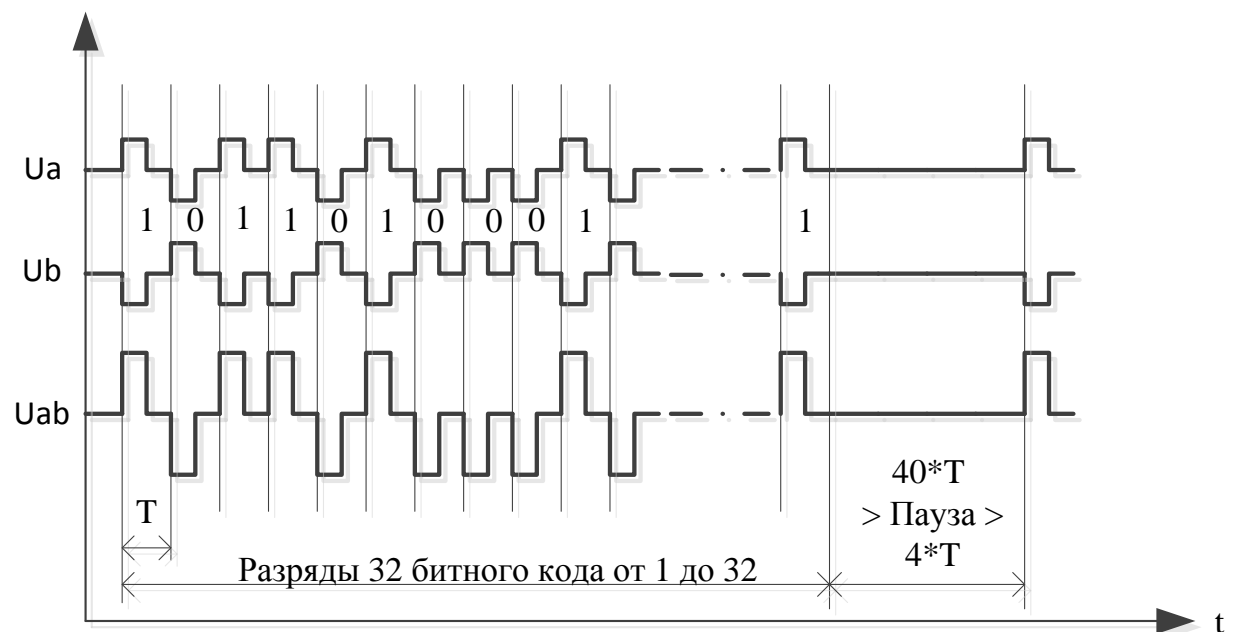


Рисунок 1. Вид сигналов и структура слова последовательного кода по стандарту ГОСТ 18977-79.

RTM 1495-75 и спецификации ARINC-429 описывают вид, параметры сигналов, структуру кодов и протоколы сообщений. Далее будет уделено внимание в основном структуре на основе спецификации ARINC-429.

Каждое 32 битное слово состоит в основном из 5 полей:

- 8 бит адрес (Label);
- Область данных (Datan), где MSB – старший бит, LSB – младший бит данных;
- Бит четности (P);
- Идентификатор источника/назначения (SDI);
- Матрица знака/статуса (SSI);

P	SSM			MSB			Dadas 19 bits																			LSB		SDI		Label									
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1								
MSB			32 bits ARINC-429																													LSB							

Таблица 1. Назначение бит данных по PTM 1495-75 и спецификации ARINC-429.

В протоколе используется в основном 4 типа структуры данных:

- Структура двоичного кода (ДК, PTM 1495-75);
- Структура для команд и признаков (К, PTM 1495-75);
- Структура двоично-десятичного кода (ДДК, PTM 1495-75);
- Структура слова, состоящего из букв, знаков и цифр (ТК, PTM 1495-75);

Для каждой структуры используется специфичное назначение бит данных за исключением полей P, SDI и Label. Использование этих полей в модуле xxxx-429UDxx будет рассмотрено ниже. А пока несколько слов о поле Label спецификации ARINC-429.

P	SSM			MSB			Dadas 19 bits																			LSB		SDI		Label							
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	1	2	3	4	5	6	7	8						
Принятое значение																							0	1	1	0	1	1	0	0							
Восьмеричное значение Label																							1	5			4										
P	SSM			MSB			Dadas 19 bits																			LSB		SDI		Label							
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1						
Реверсивное значение																							0	0	1	1	0	1	1	0							

Таблица 2. Расположение бит поля Label спецификации ARINC-429.

Так же как и в PTM 1495-75 в спецификации ARINC-429 первым битом передается младший бит, последним старший (32). Но в спецификации ARINC-429 изменен порядок бит 8 – 1 на 1 – 8. В результате порядок следования бит следующий: 8,7,6,5,4,3,2,1,9,10,11,12,...30,31,32. Для обозначения поля Label используется восьмеричный код. Причем старшие 2 бита (1,2) являются не полной тетрадой.

Примечание: в модулях xxxx-429UDxx бит данных 31 соответствует биту 32 ГОСТ 18977-79, бит 0 биту 1.

2. Конфигурация приемников модулей xxxx-429UDxx.

Конфигурация приемников модулей xxxx-429UDxx осуществляется путем программирования следующих регистров:

- Регистры разовых команд «ARINC429_SC_OUT», «ARINC429_SC_IN», «ARINC429_SC_INT_MASK»;
- Регистры «LBL_CONF_REG_PCI_x»;
- Регистр «RX_CONF_REG»;

Регистры разовых команд (РК) являются общими для всех каналов приемников/передатчиков. Логическая привязка канала РК к каналу приемника/передатчика осуществляется с использованием библиотеки программного обеспечения, в свою очередь обеспечивающей выполнение РК «Запрос» и «Готовность».

Регистры «LBL_CONF_REG_PCI x» являются уникальными для каждого канала приемника и обеспечивают возможность фильтрации приема заданного списка адресов (Label) уникально для каждого приемника. Для правильного программирования регистров необходимо учитывать метод адресации принятый в модулях xxxx-429UDxx.

Порядок принятых бит адреса (Label) не зависит от значения бита «RCV_REVERSE» регистра RX_CONF_REG и всегда является реверсивным по отношению к принятому полю Label (первый принятый бит становится старшим (восьмым), восьмой принятый бит становится младшим (первым)). Это же правило используется для адресации памяти данных приемника и полю Label первого слова DMA приемника.

P	SSM			MSB			Datas 19 bits													LSB		SDI		Label														
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1							
Принятое значение																							0	0	1	1	0	1	1	0								
P	SSM			MSB			Datas 19 bits													LSB		SDI		Label														
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	1	2	3	4	5	6	7	8							
Реверсивное значение поля Label																							0	1	1	0	1	1	0	0								
Адрес (hex/dec)																							6Ch/108d															

Таблица 3. Связь внутреннего адреса с полем Label.

Для фильтрации (отключения приема данных по адресу 108d) необходимо установить в значение “0” бит 12 регистра «LBL_CONF_REG_PCI_3». Данные приемника будут записаны по внутреннему адресу 6Ch.

Регистр «RX_CONF_REG» является основным регистром конфигурации приемника.

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	-	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R
0	W	W	W	-	W	W	W	W	W	W	W	W	W	W	W	W	W	-	-	-	-	-	-	-	-	-	-	-	W	W	W	
1	N	N	N	-	N	N	N	N	N	N	N	N	N	N	N	N	N	-	-	-	-	-	-	-	-	-	-	-	W	W	N	
	C	C	C		C	C	C	C	C	C	C	C	C	C	C	C	C														C	

Таблица 4. Конфигурация регистра RX_CONF_REG:

В таблице 4 обозначения: “R” (Read) – возможность чтение текущего значения данных, “W” (Write) – возможность записи данных, “NC” (No Change) – без изменений - с игнорируемым значением записываемых бит. Таким образом, запись основных параметров конфигурации приемника возможна только при значении бита 31 данного регистра в значении “0” (канал приемника выключен). При значении бита 31 в состоянии “1” (канал приемника включен) возможно только включение/выключение бит “RCV_DECODE” и “RCV_FLTR_DIS” это применяется, в основном, в целях отладки ПО.

Биты “RCV_PARCHECK” и “RCV_PARITY” определяют метод контроля четности принятых слов.

RCV_PARCHECK	RCV_PARITY	Вычисление четности	Бит 32 принятого слова
0	X	нет	Бит 32 принятого слова
0	X	нет	Бит 32 принятого слова
1	0	да	0 при нечетном значении разрядов 31 - 1
1	1	да	0 при четном значении разрядов 31 - 1

Таблица 5. Формирование бита четности в приемнике.

При включенном вычислении четности бит 32 принятого слова области DMA, установленный в значение “1”, соответствует ошибке четности принятого слова.

Бит “RCV_REVERSE” определяет порядок прима бит 8 – 1 принимаемого слова. Значение “1” позволяет выводить в область DMA и память приемника принятые биты в порядке приема: 32 – 1. Значение “0” позволяет выводить в область DMA и память приемника принятые биты в порядке приема: 32 – 9 и реверсивном порядке поля Label: 1 – 8. Дополнительным критерием правильности установки бита “RCV_REVERSE” может быть сравнение поля Label первого слова DMA приемника с битами 8 – 1 (7 - 0) принятого слова данных.

Биты “RCV_SDI” совместно с битом “RCV_DECODE” определяют возможность фильтрации принимаемых сообщений по полю SDI (идентификатор). При бите “RCV_DECODE” установленном в значение “1”, будут приниматься только слова с полем SDI соответствующем установленному

значению бит “RCV_SDI”, а так же разрешенные в регистре «LBL_CONF_REG_PCI_x», остальные слова сообщения приниматься не будут.

Биты “RSV_RATE” определяют скорость приема данных. Рекомендуется использовать только стандартные значения скорости принимаемых данных.

Значение “100” – скорость приема данных 100 кбит/с;

Значение “010” – скорость приема данных 12 – 14,5 кбит/с;

Значение “110” – скорость приема данных 50 кбит/с;

Значение регистра “001” – скорость приема устанавливается через значение делителя частоты “RCV_CUST R”. Этот режим используется только при полном понимании пользователя в необходимости данного режима. Данный режим предназначен только для возможности приема данных от устройств, где скорость приема была установлена “по согласованию, или определена нормативно – технической документацией” для данных устройств.

Биты “RCV_CUST R” позволяют устанавливать значение для делителя частоты приема при значении бит “RSV_RATE” = 001. Значение частоты определяется как $2000000/\text{скорость приема}$. Для скорости 100 кбит/с значение будет равно $\frac{2000000}{100000} = 20$ (14h).

Полученное значение должно находиться в пределах $2 < X < 180$. В противном случае запись 1 в поле RX_EN блокируется. *Подробнее см. раздел 5.*

Бит “RCV_DECODE” - значение 1 разрешает фильтрацию поля “RCV_SDI” (идентификатор). В результате будут приниматься данные содержащие только установленный этим полем идентификатор.

Бит “RCV_FLTR_DIS” - значение 1 запрещает фильтрацию адресов, установленную в регистрах LBL_CONF_REG_PCI_x. В результате будут приниматься данные со всех адресов, не зависимо от значений регистров LBL_CONF_REG_PCI_x.

Бит “RCV_RAM_CLS ” - бит очистки памяти приемника. Значение бита сбрасывается в 0 аппаратно после выполнения процедуры очистки. Основное назначение очистки – сброс признака “NEW_DATA”. Очистку рекомендуется производить перед началом совместной работы с передатчиками, работающими в режиме коммутатора, а так же после перезагрузки ПК и работе в данном режиме. При аппаратном сбросе (перезагрузке ПК) содержимое памяти не обнуляется. Время очистки памяти одного канала не более 3 мкс. При работе без совместного режима с передатчиком очистка памяти не нужна, признак “NEW_DATA” в остальных режимах не используется.

Дополнительно модули xxxx-429UDxx позволяют определять среднюю длительность принятых бит (T), измеренную на частоте $10 \cdot F_{\text{пр}}$, измерение производится при приеме всех 32 бит слова с последующим делением полученного значения на 32. Полученное значение является справочным и не

может использоваться в качестве поверочного значения. Данные измерения находятся в слове 2 DMA приемника (RX_BITLENGTH). При совпадении тактовых частот приемника/передатчика значение должно быть в пределах 9 – 11 (десятичное значение).

После конфигурации приемника и записи в “1” бита “RX_EN” регистра «RX_CONF_REG» дополнительных действий в программировании приемника не требуется – приемник начинает прием данных.

Приёмник начинает прием данных только после определения паузы в линии между словами больше 4T. Это необходимо учитывать при написании тестовых программ: сначала запускается приемник, затем через время > 4T запускается передатчик. В противном случае, первое слово, переданное передатчиком, принято не будет.

Примем основные параметры для различных скоростей передачи данных.

Длительность бита данных для различных скоростей передачи данных:

- 100 кбит/с – $T = 0.01$ мс;
- 50 кбит/с – $T = 0.02$ мс;
- 12,5 кбит/с – $T = 0.08$ мс;

Длительность слова передачи = 32 бита + TX_GAP_BITS (= 4 по умолчанию) для различных скоростей передачи данных:

- 100 кбит/с – $T*32 + T*4 = 0.36$ мс;
- 50 кбит/с – $T*32 + T*4 = 0.72$ мс;
- 12,5 кбит/с – $T*32 + T*4 = 2.88$ мс;

Совет 1: при необходимости вычисления паузы между принятыми сообщениями (состоят из нескольких слов) и точным знанием скорости передачи можно воспользоваться данными, полученными из разности двух смежных слов 3 DMA приемника (FREE_TIMER).

Например: приемником принято сообщение из нескольких слов данных на скорости 100 кбит/с со следующими значениями FREE_TIMER приемника.

В примере использованы реальные данные FREE_TIMER, переведенные в десятичный вид, скорость передачи 100 кбит/с (первая цифра – номер слова).

11= 4133939,3; 12= 4133939,5; 13= 4133940,0; 14= 4133940,5; 15= 4133940,8;
16= 4134136,0;

Разность слов 12 и 11 = 0,2 мс

Разность слов 13 и 12 = 0,5 мс

Разность слов 14 и 13 = 0,5 мс

Разность слов 15 и 14 = 0,3 мс

Разность слов 16 и 15 = 195,2 мс

Для скорости 100 кбит/с максимальная длительность слова передачи $T*32 + T*40 = 0,72$ мс. Отсюда следует, что разность слов 16 и 15 является паузой между принятыми сообщениями, она значительно превышает интервал $0.01*32 + 0.01*40 = 0,72$ мс.

Совет 2: при необходимости вычисления паузы между принятыми словами и точным знанием скорости передачи можно воспользоваться данными, полученными из слова 3 DMA приемника (FREE_TIMER).

Например: приемником принято сообщение из 16 слов данных на скорости 100 кбит/с со следующими значениями FREE_TIMER приемника. В примере использованы реальные данные DMA, переведенные в десятичный вид, скорость передачи 100 кбит/с (первая цифра – номер слова).

0= 4133935.3; 1= 4133935.5; 2= 4133936.0; 3= 4133936.5; 4= 4133936.8; 5= 4133936.8; 6= 4133937.5; 7= 4133937.5; 8= 4133938.0; 9= 4133938.5; 10= 4133938.8; 11= 4133939.3; 12= 4133939.5; 13= 4133940.0; 14= 4133940.5; 15= 4133940.8;

Из времени получения последнего слова (15= 4133940.8;) вычитаем время получения первого слова (0= 4133935.3;), полученное значение делим на количество отсчетов DMA минус единица.

$$\frac{4133940.8 - 4133935.3}{15} = 0.36$$

Полученное значение является длительностью передаваемых 32 бит данных плюс пауза между словами данных (Рисунок 1).

Разделив полученное значение на значение длительности бита (в данном случае на 0.01) получаем общее количество бит данных (36), из которых 32 бита собственно данные, а оставшиеся 4 бита, являются паузой между словами. В реальности пауза между словами для передатчика была установлена равной 4 битовым интервалам (4*Т).

Точность вычислений увеличивается при увеличении количества данных DMA и уменьшается с увеличением скорости приема данных.

3. Конфигурация передатчиков модулей xxxx-429UDxx.

Конфигурация передатчиков модулей xxxx-429UDxx осуществляется путем программирования следующих регистров:

- Регистры разовых команд «ARINC429_SC_OUT», «ARINC429_SC_IN», «ARINC429_SC_INT_MASK»;
- Регистр конфигурации «TX_CONF_REG»;
- Регистр управления «TX_CONTROL_REG»;
- Регистр данных для режима работы 0 «TX_FIFO_REG»;
- Регистры памяти данных передатчиков «TX_DATA_RAM»;
- Регистры памяти дескрипторов передатчиков «TX_DESC_RAM»;

Регистры разовых команд (РК) являются общими для всех каналов приемников/передатчиков. Логическая привязка канала РК к каналу приемника/передатчика осуществляется с использованием библиотеки программного обеспечения, в свою очередь обеспечивающей выполнение РК «Запрос» и «Готовность».

Регистр «TX_CONF_REG» является основным регистром конфигурации передатчика.

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-
0	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	-	-	-	-	-	-	-	-
1	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	-	-	-	-	-	-	-	-
	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	-	-	-	-	-	-	-	-	

Таблица 6. Конфигурация регистра TX_CONF_REG:

В данной таблице обозначения: “R” (Read) – возможность чтение текущего значения данных, “W” (Write) – возможность записи данных, “NC” (No Change) – без изменений - с игнорируемым значением записываемых бит. Таким образом, запись основных параметров конфигурации передатчика возможна только при значении бита 31 данного регистра в значении “0” (канал передатчика выключен). При значении бита 31 в состоянии “1” (канал передатчика включен) значение данных в регистре изменить невозможно.

Биты “TX_PARCHECK” и “TX_PARITY” определяют метод контроля четности передаваемых слов.

TX_PARCHECK	TX_PARITY	Вычисление четности	Бит 32 передаваемого слова
0	X	нет	Бит 32 передаваемого слова данных
0	X	нет	Бит 32 передаваемого слова данных
1	0	да	0 при нечетном значении разрядов 31 - 1
1	1	да	0 при четном значении разрядов 31 - 1

Таблица 7. Формирование бита четности в передатчике

При включенном вычислении четности, бит 32 передаваемого слова будет аппаратно заменен вычисленным значением в соответствии со значением бита “TX_PARITY”, при этом значение записанного бита 32 игнорируется. При отключении вычисления четности, бит 32 будет передан без изменений в соответствии с записанным значением данных.

Бит “TX_REVERSE” определяет порядок передачи бит 8 – 1 передаваемого слова данных (Label). Значение “1” устанавливает порядок бит в передаваемом слове данных в порядке 8,7,6,5,4,3,2,1,9,10,11...32. При значении “0” данные будут переданы без перестановки бит 1,2,3,4...32.

Биты “TX_MODE” определяют режим работы передатчика:

- Режим 0 - “00” – режим работы с FIFO.
- Режим 1 - “01” – режим работы с внутренней памятью передатчика.
- Режим 2 - “10” – режим работы коммутатора.
- Режим 3 - “11” – режим обратной связи (LOOP). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на выходе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. В остальном режим эквивалентен работе в режиме 0.

Более подробно работа передатчика в различных режимах будет рассмотрена ниже.

Биты “TX_GAP_BITS” определяют время паузы между сообщениями в единицах длительности бита (Рисунок 1). Значение бит должно быть не менее 4d и, как правило, не более 40d. При записи значений менее 4d на аппаратном уровне будет установлено значение 4d. При записи значений более 40d на аппаратном уровне будет установлено значение 40d. Возможна запись только промежуточных значений от 4d до 40d.

Будьте внимательны при записи значений в эти биты.

Биты “TX RATE” определяют скорость передачи данных. Рекомендуется использовать только стандартные значения скорости передаваемых данных.

Значение “100” – скорость передачи данных 100 кбит/с;

Значение “010” – скорость передачи данных 12 – 14,5 кбит/с;

Значение “110” – скорость передачи данных 50 кбит/с;

Значение “001” – скорость передачи устанавливается через значение делителя частоты TX CUST R. Этот режим используется только при полном понимании пользователя в необходимости данного режима.

Данный режим предназначен только для возможности передачи данных к устройствам, где скорость приема была установлена “по согласованию, или определена нормативно – технической документацией” для данных устройств.

Биты “TX CUST R” позволяют устанавливать значение для делителя частоты передачи при значении бит “TX RATE” = 001. Значение частоты определяется как $\frac{2000000}{\text{скорость передачи}}$. Для скорости 100 кбит/с значение будет равно $\frac{2000000}{100000} = 20$ (14h). **Полученное значение должно находиться в пределах $2 < X < 180$. В противном случае запись 1 в поле TX EN блокируется.** *Подробнее см. раздел 5.*

Регистр «TX CONTROL REG» является регистром управления передатчика для режимов работы 1 и 2.

Биты “RRT_FB” (доступны только для чтения) позволяют в любой момент времени получить значение текущего времени таймера RRT (repetition rate timer) – таймер повтора цикла.

Бит “TX_RR” определяет значение делителя частоты таймера RRT. **Значение может быть установлено только при установленном в 0 бите TX EN регистра TX CONF REG. В противном случае запись в регистр не производится.**

Значение 0 – 10 мс.

Значение 1 – 1 мс.

Биты “TX_RRT” определяют период таймера RRT – максимальное значение таймера RRT, при достижении которого может быть произведен его перезапуск (время цикла).

Бит “TX_SKIP_RRT” **при установленном в 1 бите “TX EN” регистра «TX CONF REG», значение 1 позволяет не ожидать окончания работы таймера RRT в конце циклов для режима 1 и 2.**

Значение 0 останавливает выполнение цикла до конца работы таймера RRT = TX_RRT. В конце цикла таймер перезапускается и начинает новый отсчет со значения 0.

Значение 1 позволяет в конце цикла перезапускать выполнения дескрипторов с начала, вне зависимости от значения таймера.

Бит “TX_START_STOP” при установленном в 1 бите “TX_EN” регистра «TX_CONF_REG», значение 1 запускает циклическую работу передатчика в режимах 1 и 2.

Значение 0 останавливает работу передатчика в режимах 1 и 2 после окончания текущего цикла.

Немедленная остановка работы передатчика (без ожидания конца цикла) осуществляется путем записи 0 в бит “TX_EN” регистра «TX_CONF_REG».

Бит “TX_START_ONES” при установленном в 1 бите “TX_EN” регистра «TX_CONF_REG», значение 1 запускает однократное выполнение цикла передатчика в режимах 1 и 2. После окончания цикла бит сбрасывается в 0 аппаратно. Немедленная остановка работы передатчика (без ожидания конца цикла) осуществляется путем записи 0 в бит “TX_EN” регистра «TX_CONF_REG».

Примечание: недопустима одновременная установка бит “TX_START_STOP” и “TX_START_ONES” в значение “1”.

Бит “TX_RAM_CLS” бит очистки памяти передатчика. Установка бита разрешена только при значении 0 бита “TX_EN”. Значение бита сбрасывается в 0 аппаратно после выполнения процедуры очистки. Основное назначение очистки – сброс признака NEW_DATA памяти передатчика. Очистку рекомендуется производить перед началом работы с передатчиками, работающими в режимах 1 и 2, а так же после перезагрузки ПК. При аппаратном сбросе содержимое памяти не обнуляется. Время очистки памяти одного канала не более 3 мкс.

Регистр «TX_FIFO_REG» регистр слова данных записи в FIFO. Бит 31 регистра соответствует биту 32, бит 0 соответствует биту 1 ГОСТ 18977-79. Структура устройства позволяет записывать данные до 4 слов подряд в одной транзакции PCIe. В линию биты передаются в порядке, определяемым значением бита “TX_REVERSE” регистра «TX_CONF_REG», а так же с учетом установленных значений для бита четности.

4. Режимы работы передатчика.

4.1 Режим работы с FIFO.

Режим работы передатчика, при котором управление передачей сообщений полностью контролируется ПО. Данные от ПК записываются в FIFO передатчика и передаются до полного опустошения FIFO, затем цикл повторяется. Структура устройства позволяет записывать в FIFO до 4 слов подряд в одной транзакции. Каждому переданному слову соответствует цикл DMA. В каждом цикле к данным добавляется 3 слова: 2 слова статуса и метка реального времени – “FREE_TIMER”, соответствующая времени начала передачи слова данных. При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита “TX_RX_DMA_DIS” для данного канала. Режим работы с FIFO так же используется при работе в режиме 3 - режим обратной связи (LOOP). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на входе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. Режим предназначен для внутреннего тестирования канала. При этом конфигурации приемника и передатчика должны быть одинаковыми в части формирования четности, установки скорости и порядке бит адреса. Автоматическая конфигурация приемника и передатчика не производится. Перед началом работы в данном режиме должен быть сконфигурирован регистр «TX_CONF_REG».

- Биты “TX_PARCHECK” и “TX_PARITY” должны быть установлены в соответствующие значения;
- Бит “TX_REVERSE” определяет порядок передачи бит 8 – 1 передаваемого слова;
- Биты “TX_MODE” должны иметь значение “00” – режим работы с FIFO;
- Биты “TX_GAP_BITS” должны иметь значение не менее 4h (пауза между словами);
- Биты “TX_RATE” определяют значение одной из стандартных частот;

Конфигурация регистра «TX_CONTROL_REG» не производится. Данные начинают передаваться сразу после записи в регистр «TX_FIFO_REG» одного или нескольких слов данных. Количество записанных в FIFO данных отражается в битах “TX_FIFO_DEEP” первого слова DMA передатчика. Данные передаются с учетом установок произведенных в регистре «TX_CONF_REG» до полного опустошения FIFO. Пауза между сообщениями задается путем записи/отсутствия записи данных в FIFO. Для передачи следующего сообщения перепрограммирование регистров не производится. Передача следующего сообщения начинается так же после записи в регистр «TX_FIFO_REG» одного или нескольких слов данных.

4.2 Режим работы с внутренней памятью.

Данный режим предназначен для автоматической передачи сообщений, записанных в память данных передатчика под управлением внутренней микропрограммы, из памяти дескрипторов передатчика.

Перед началом работы в данном режиме должен быть сконфигурирован регистр «TX_CONF_REG».

- Биты “TX_PARCHECK” и “TX_PARITY” должны быть установлены в соответствующие значения.
- Бит “TX_REVERSE” определяет порядок передачи бит 8 – 1 передаваемого слова.
- Биты “TX_MODE” должны иметь значение “01” – режим работы с внутренней памятью.
- Биты “TX_GAP_BITS” должны иметь значение не менее 4h (пауза между словами).
- Биты “TX_RATE” определяют значение одной из стандартных частот.

Также должен быть сконфигурирован регистр «TX_CONTROL_REG» для конфигурации таймера RRT.

- Бит “TX_RR” определяет значение делителя частоты таймера RRT;
- Биты “TX_RRT” определяют период таймера RRT – максимальное значение таймера RRT, при достижении которого может быть произведен его перезапуск (время цикла);

Запуск циклической передачи данных осуществляется при установленном в “1” бите “TX_EN” регистра «TX_CONF_REG» записью в “1” бита “TX_START_STOP” регистра «TX_CONTROL_REG». При этом включение/выключение таймера RRT контролируется значением бита “TX_SKIP_RRT”.

Запуск однократной передачи цикла данных осуществляется при установленном в “1” бите “TX_EN” регистра «TX_CONF_REG» записью в “1” бита “TX_START_ONES” регистра «TX_CONTROL_REG». При этом таймер RRT должен быть выключен “TX_SKIP_RRT” = “1” или “TX_RRT” = 00000000.

Данный режим удобен при больших интервалах в передаче данных и позволяет во время пауз в передаче переписывать и область данных, и область дескрипторов передатчика при наличии такой необходимости. Так же этот режим удобно использовать при обработке РК «запрос/передача».

Примечание: недопустима одновременная установка бит “TX START STOP” и “TX START ONES” в значение “1”.

Память дескрипторов передатчика. Каждый дескриптор представляется одним 32-битным словом и определяет основную последовательность передачи данных, а так же содержит информацию, управляющую основными циклами передачи.

На рис. 2 представлен порядок обработки дескрипторов контроллером передатчика. Выполнение последовательности от дескриптора 0 до дескриптора 255 или дескриптора, содержащего код операции END является циклом. После окончания цикла адрес дескрипторов устанавливается в значение 0. При установке бита TX_START_ONES регистра TX_CONTROL_REG в состояние 1, цикл выполняется однократно, после окончания цикла бит TX_START_ONES сбрасывается в 0 автоматически. Бит TX_START_STOP того же регистра установленный в 1, обеспечивает непрерывное повторение выполнения цикла.

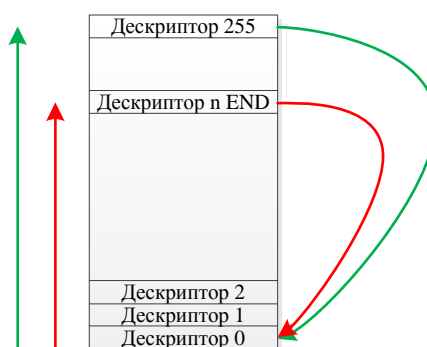


Рисунок 2. Порядок обработки дескрипторов.

Память данных передатчика. Содержит данные для передачи в линию. Память организована 32-битными словами с возможностью прямой адресации каждого слова. Запись в память данных со стороны ПК сопровождается автоматической установкой в 1 дополнительного бита данных (NEW_DATA). При чтении данных бит сбрасывается в 0 автоматически. Данный механизм позволяет, в зависимости от кода управления дескриптора, передавать записанные данные в линию однократно (при значении NEW_DATA = 0 данные не передаются), или непрерывно, вне зависимости от значения бита NEW_DATA.

При работе передатчика с внутренней памятью, поле дескриптора «Адрес (LABEL)», является условным и фактически адресует ячейку памяти данных передатчика, из которой будут отправлены данные. Значение ячейки памяти данных (биты 7 - 0) может не соответствовать полю дескриптора «Адрес (LABEL)».

Контроллер передатчика выполняет операции, записанные в памяти дескрипторов, а так же обеспечивает управление циклами передачи.

Каждому передаваемому слову соответствует цикл DMA. В каждом цикле к данным добавляется 3 слова: 2 слова статуса и метка реального времени - FREE_TIMER, соответствующая времени начала передачи слова данных. При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита “TX_RX_DMA_DIS” для данного канала. Адрес последнего выполненного дескриптора отражается в битах “DESC_ADDR” первого слова DMA передатчика.

Таймер RRT передатчика определяет время цикла передачи сообщения. Сброс таймера осуществляется автоматически в начале каждого цикла. Таймер RRT используется как вспомогательное средство сохранения длительности цикла. Достижение таймером значения = TX_RRT проверяется только в конце цикла. Если таймер достиг заданного значения до окончания цикла – **цикл и таймер перезапускаются после передачи всех данных текущего цикла.** В противном случае – вначале происходит ожидание достижения таймером заданного значения TX_RRT, затем перезапуск цикла и таймера.

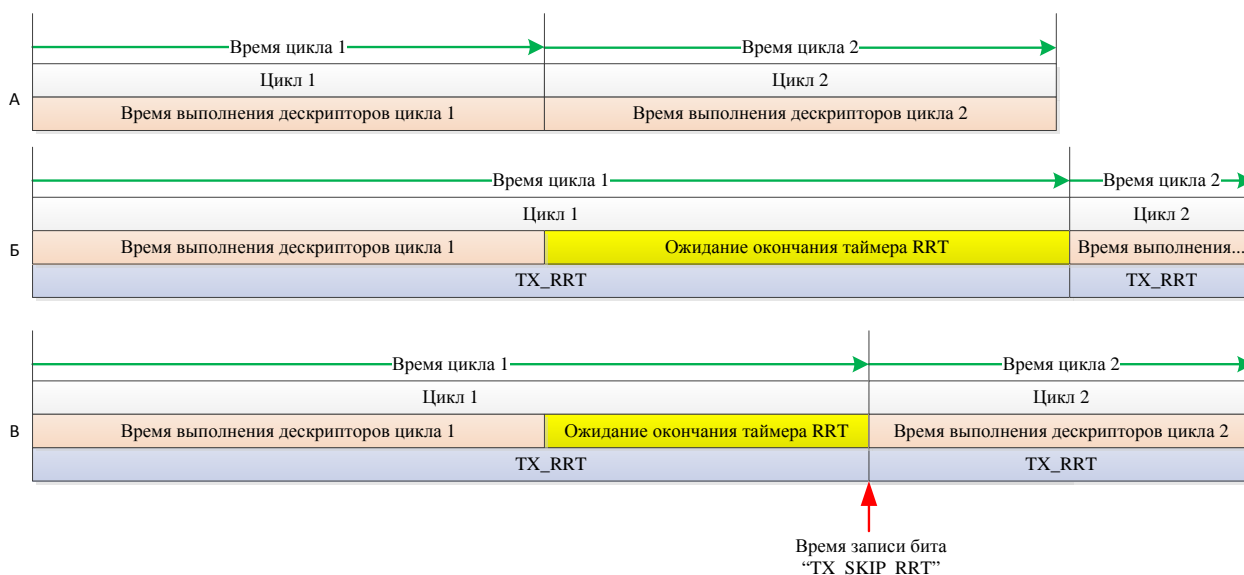


Рисунок 3. Связь времени выполнения цикла дескрипторов с таймером RRT.

На рис.3 представлена связь таймера RRT и циклом передачи сообщения при значении “1” бита “TX_START_STOP”.

- А – без использования таймера RRT (бит “TX_SKIP_RRT” в значение “1” или “TX_RRT” меньше времени цикла, “TX_RRT” = 00000000). В этом случае после выполнения последнего дескриптора, контроллер передатчика при работе в цикле, без паузы начнет обработку дескрипторов сначала.
- Б – с использованием таймера RRT. В этом случае после выполнения последнего дескриптора, контроллер передатчика будет ожидать окончания таймера RRT и только после этого начнет выполнять цикл сначала.

- В - с использованием таймера RRT и бита “TX_SKIP_RRT”. В этом случае, после установки бита “TX_SKIP_RRT” в значение “1”, контроллер не будет ожидать окончания работы таймера, а сразу перейдет к выполнению начала следующего цикла. Обратите внимание: бит “TX_SKIP_RRT” не сбрасывается аппаратно. Для возобновления работы таймера RRT бит должен быть сброшен в значение “0” программно.

В дополнение к таймеру RRT в дескрипторах присутствует код операции “DELAY”, позволяющий вводить задержки до 255 мс между дескрипторами (величина задержки определяется полем дескриптора PTP). При небольшой длине сообщений и интервалов между ними, весь цикл передачи можно организовать как набор подциклов с программируемыми интервалами между сообщениями рис.4.

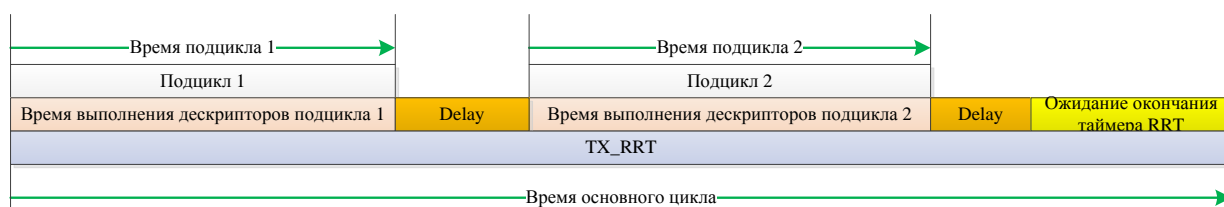


Рисунок 4. Использование операции “DELAY”.

На рисунке 4 представлено разбиение общего цикла дескрипторов на подциклы, а так же соотношение подциклов с таймером RRT. При необходимости таймер RRT может быть отключен установкой бита “TX_SKIP_RRT” в значение “1” или значением “TX_RRT” = 00000000.

Поля дескрипторов PTO (packet timer offset) – отступ начала цикла и PTP (packet timer period) – период выполнения цикла используются при совместной работе с таймером RRT (repetition rate timer) – таймер повтора. Иллюстрация выполнения дескрипторов, а так же изменение поля PTO, представлены на рис. 5.

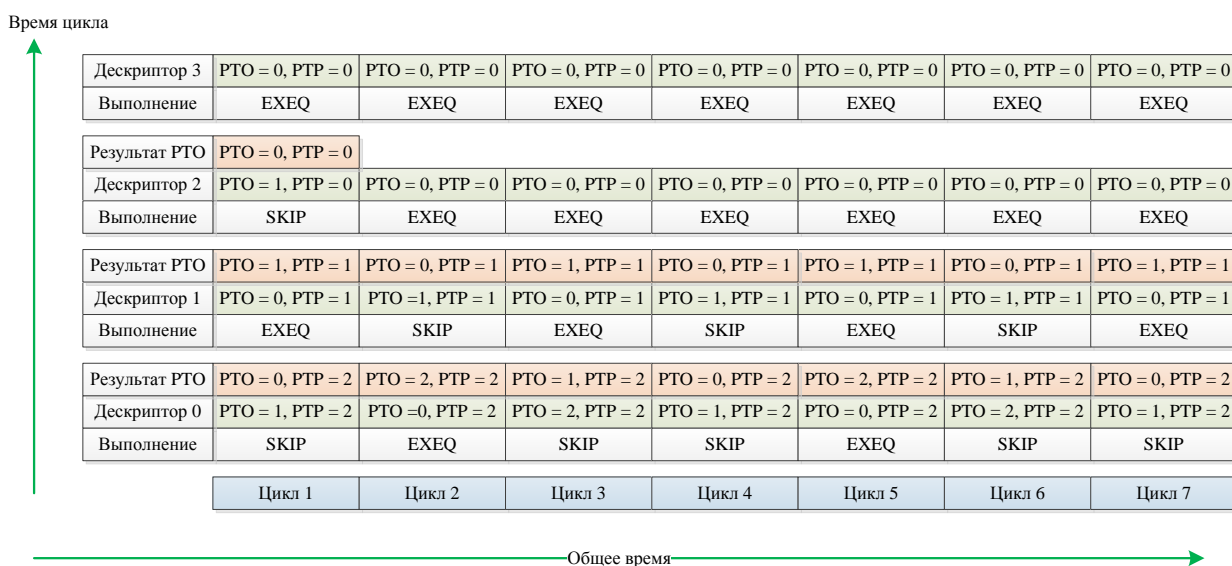


Рисунок 5. Иллюстрация выполнения дескрипторов, а так же изменение поля PTO.

На рисунке 5 показана зависимость выполнения дескриптора от значения поля PTO. При значении PTO и RTP равном 0, код операции дескриптора выполняется всегда. В случае, когда PTO \neq 0, код операции не выполняется (за исключением кодов END и DELAY, которые выполняются всегда), значение PTO уменьшается на 1. Если PTO = 0, но RTP \neq 0, значение RTP переписывается в поле PTO, код дескриптора выполняется. Алгоритм изменения поля PTO дескриптора представлен на рис. 6.

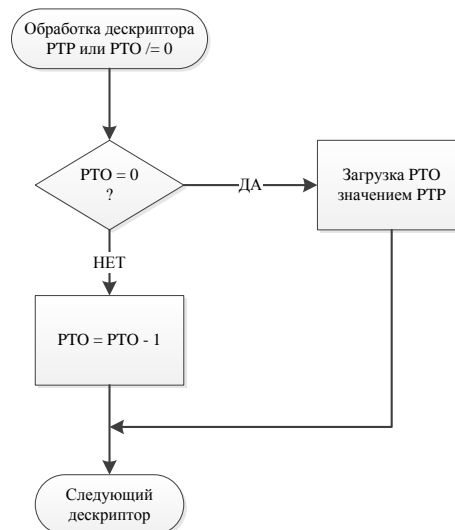


Рисунок 6. Алгоритм изменения поля PTO дескриптора.

На рис.7 представлена связь длительности цикла и таймера RRT для различных ситуаций передачи данных с учетом пропуска операций при значении PTO \neq 0.



Рисунок 7. Связь работы таймера RRT с различными ситуациями времени выполнения циклов.

При каждой записи данных в память передатчика происходит установка в значение “1” служебного бита “New Bit”. Бит сбрасывается в “0” при чтении памяти передатчиком. При использовании кода операции “SEND_COND” (0011) данное условие позволяет не передавать в линию уже переданные из этого адреса данные. Данные будут передаваться только после перезаписи данной ячейки памяти (рис. 8).



Рисунок 8. Формирование признака “New Bit” для режима работы с внутренней памятью.

Все вышеописанное так же относится и к работе передатчика в режиме коммутатора.

4.3 Режим работы коммутатора.

Данный режим предназначен для автоматической передачи сообщений, записанных в память данных приемников или передатчика под управлением внутренней микропрограммы, из памяти дескрипторов передатчика.

Перед началом работы в данном режиме должен быть сконфигурирован регистр «TX_CONF_REG».

- Биты “TX_PARCHECK” и “TX_PARITY” должны быть установлены в соответствующие значения;
- Бит “TX_REVERSE” определяет порядок передачи бит 8 – 1 передаваемого слова;
- Биты “TX_MODE” должны иметь значение “10” – режим работы коммутатора;
- Биты “TX_GAP_BITS” должны иметь значение не менее 4h (пауза между словами);
- Биты “TX_RATE” определяют значение одной из стандартных частот;

Также должен быть сконфигурирован регистр «TX_CONTROL_REG» для конфигурации таймера RRT.

- Бит “TX_RR” определяет значение делителя частоты таймера RRT;
- Биты “TX_RRT” определяют период таймера RRT – максимальное значение таймера RRT, при достижении которого может быть произведен его перезапуск (время цикла);

Запуск циклической передачи данных осуществляется при установленном в “1” бите “TX_EN” регистра «TX_CONF_REG» записью в “1” бита “TX_START_STOP” регистра «TX_CONTROL_REG». При этом включение/выключение таймера RRT контролируется значением бита “TX_SKIP_RRT”.

Запуск однократной передачи цикла данных осуществляется при установленном в “1” бите “TX_EN” регистра «TX_CONF_REG» записью в “1” бита “TX_START_ONES” регистра «TX_CONTROL_REG». При этом таймер RRT должен быть выключен “TX_SKIP_RRT” = “1”.

Примечание: недопустима одновременная установка бит “TX START STOP” и “TX START ONES” в значение “1”.

Основным отличием работы передатчика в режиме коммутатора от режима работы с внутренней памятью, является возможность работы не только со своей внутренней памятью, но и с памятью приемников. Укрупненная структура одного канала передатчика представлена на рис.9.

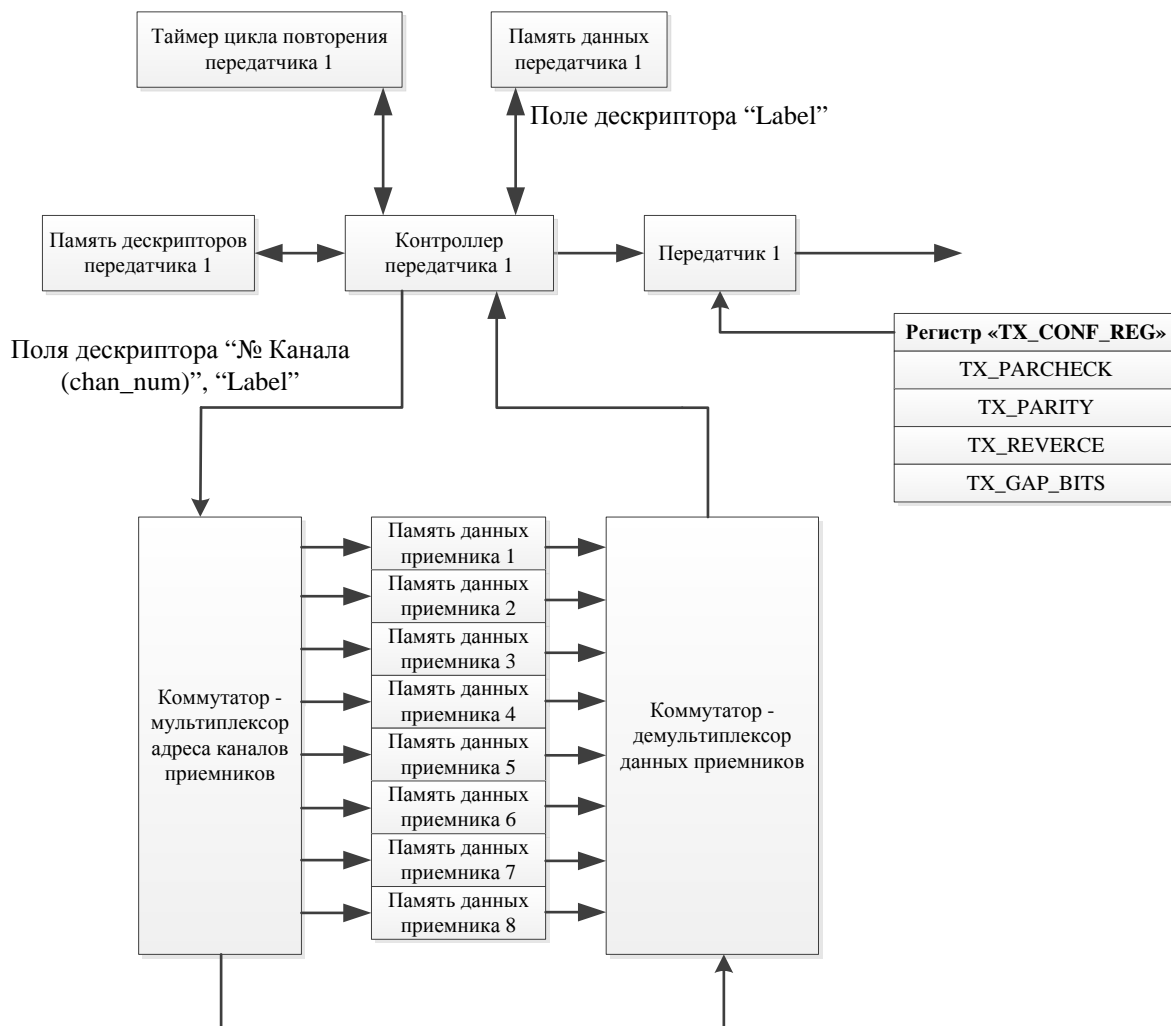
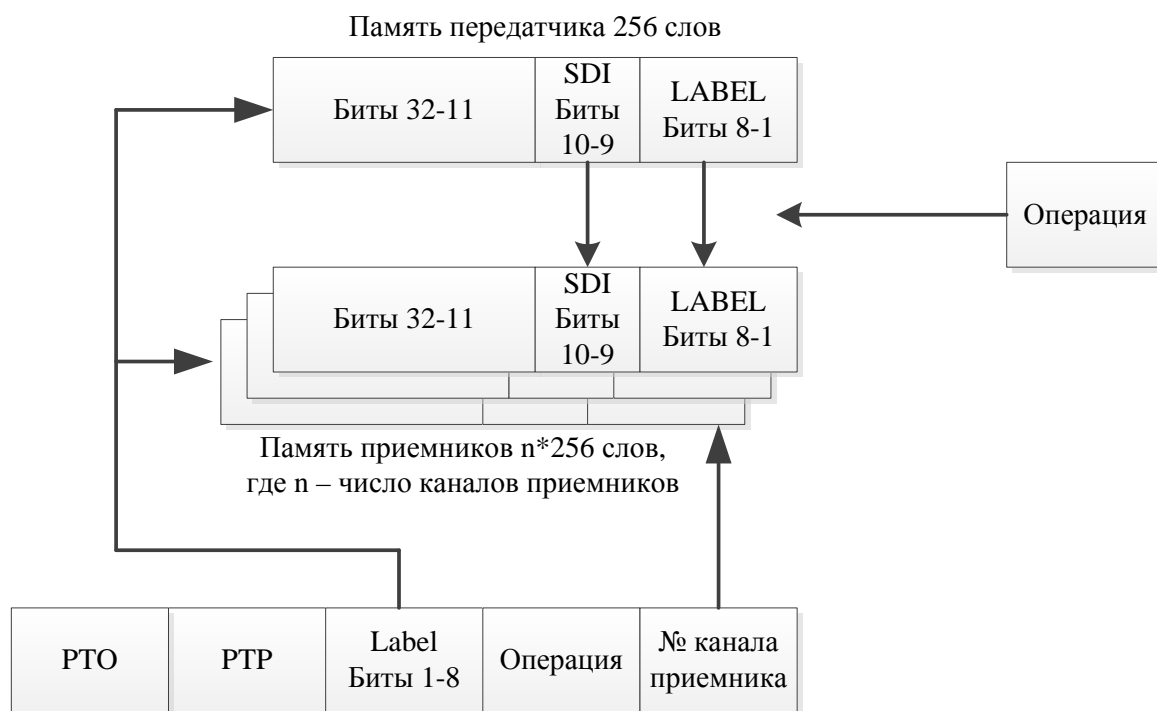


Рисунок 9. Укрупненная структура одного канала передатчика.

Данная структура предназначена для понимания системы адресации памяти приемников и памяти передатчика полями дескриптора “Адрес (LABEL)” и “№ канала”. Поле “№ канала” используется только для выбора канала приемника, причем при значениях этого поля больше количества каналов приемника, данный дескриптор выполняться не будет. Это следует учитывать при переносе кода дескрипторов из модулей с большим количеством каналов приемника на модули с их меньшим количеством. Поле “Адрес (LABEL)” является одним и тем же, как для памяти передатчика, так и для памяти приемника. Таким образом, появляется возможность работы с одноименными ячейками памяти, как приемника, так и передатчика. Это позволяет заменять поля “LABEL” или “SDI” в данных

приемника одноименными полями из памяти передатчика с последующей передачей вновь сформированного слова данных. При замене поля “SDI” четность передаваемых данных будет вычислена автоматически в зависимости от установок регистра «TX_CONF_REG». Структура является наиболее удобной для передачи данных от нескольких медленных каналов приемников в один скоростной канал передатчика. Так же возможно производить автоматическую передачу данных из одного канала в другой на той же скорости передачи с заменой поля источника/назначения (SDI).



При PTO или RTP $\neq 0$
новое значение PTO

Рисунок 10. Связь дескриптора с памятью приемников и передатчика.

На данном рисунке 10 представлена связь полей дескриптора с данными памяти приемников и передатчика.

В зависимости от кода операции, данные передатчика, могут быть переданы из памяти данных передатчика (коды операций “0xxx”) или из памяти данных любого приемника (коды операций “1xxx”). Дополнительно поля данных памяти приемника “SDI” и ”Label” могут быть заменены одноименными полями памяти передатчика (коды операций “11xx”).

Рассмотрим абстрактные примеры передачи данных от нескольких приемников в один канал ARINC-429 (ГОСТ 18977-79, РТМ1495-75).

№ приемника	Адрес (Label) Биты 1 – 8	Бит “RCV_REVERSE”	Данные поля Label памяти приемника
1	00000001	1	10000000
2	00000001	0	00000001
3	00000001	1	10000000
1	00001001	1	10010000
2	00001001	0	00001001
3	00001001	1	10010000

Таблица 8. Пример значений поля Label приемников в зависимости от значения бита “RCV_REVERSE”.

В таком виде данные для передачи неудобны: необходимо привести их к единому порядку следования бит в поле ”Label”.

Рассмотрим коды операций, позволяющие произвести замену поля данных “Label”:

Адрес (Label) Биты 1 – 8	Данные поля Label памяти приемника	Данные поля Label памяти передатчика	Код операции	Данные поля Label передатчика
	Реверсивные (Биты 1- 8)			
00000001	00000001	xxxxxxxx	1010	00000001
00000001	00000001	10000000	1100	10000000
	Прямые (Биты 8 - 1)			
00000001	10000000	xxxxxxxx	1010	10000000
00000001	10000000	00000001	1100	00000001
	Реверсивные (Биты 1- 8)			
00001001	00001001	xxxxxxxx	1010	00001001
00001001	00001001	10010000	1100	10010000
	Прямые (Биты 8 - 1)			
00001001	10010000	xxxxxxxx	1010	10010000
00001001	10010000	00001001	1100	00001001

Таблица 9. Замена поля “Label” в передатчике.

№ приемника	Адрес (Label) Биты 1 – 8	Бит “RCV_REVERCE”	Данные поля Label памяти приемника	Данные поля Label памяти передатчика	Код операции	Данные поля Label передатчика
1	00000001	1	10000000	xxxxxxx	1010	10000000
2	00000001	0	00000001	10000000	1100	10000000
3	00000001	1	10000000	xxxxxxx	1010	10000000
1	00001001	1	10010000	xxxxxxx	1010	10010000
2	00001001	0	00001001	10010000	1100	10010000
3	00001001	1	10010000	xxxxxxx	1010	10010000

Таблица 10. Результирующая таблица приведения поля данных “Label” приемников к одному виду.

После приведения данных к одному виду, общий порядок следования бит для данного канала передатчика устанавливается битом “TX_REVERCE” регистра «TX_CONF_REG».

Таким же образом производится замена поля “SDI” памяти данных приемника (коды операций 1110 и 1111).

При использовании адреса памяти передатчика только для замены полей “SDI” и “Label” (без передачи данных из этого адреса), значение остальных бит данных может быть произвольным. В остальном, передача данных (в зависимости от кода операции), может производиться смешанно, как из памяти передатчика, так и из памяти приемников.

При каждой записи данных в память приемника происходит установка в значение “1” служебных бит “New Bit” одновременно для всех каналов передатчиков. Биты каждого канала передатчика сбрасывается в “0” индивидуально при чтении памяти передатчиком. При использовании кодов операций “RX_COND” (1011), “RX_LBL_RC” (1101), “RX_SDI_RC” (1111) данное условие позволяет не передавать в линию уже переданные из этого адреса данные. Данные будут передаваться только после перезаписи данной ячейки памяти приемником (рис. 11).



Рисунок 11. Формирование признака “New Bit” для режима работы в режиме коммутатора с памятью приемника.

При функционировании передатчика в режиме коммутатора и работой с памятью приемников может возникнуть ситуация, когда приемники еще не получили данных (“New Bit” = 0), в результате передатчик выполняет «пустой цикл», длительность которого определяется только количеством обработанных дескрипторов без времени передачи данных. Для обеспечения постоянства циклов

используется таймер RRT. При совместном использовании поля PTO $\neq 0$ и таймера RRT в первом цикле выполнения дескрипторов, появляется возможность обеспечить постоянство выполнения первого и последующих циклов.

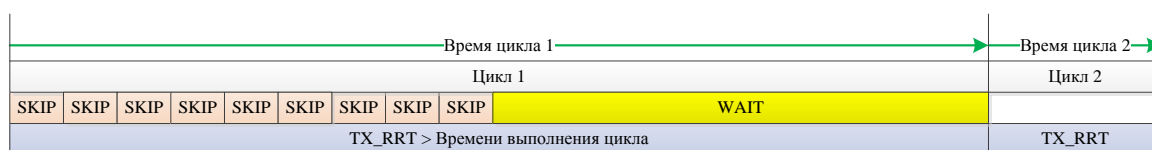


Рисунок 12. Связь длительности первого цикла и таймера RRT, PTO $\neq 0$.

На рис.12 представлена связь длительности первого цикла и таймера RRT при PTO $\neq 0$.

5 Установка пользовательской скорости приема/передачи.

Необходимость установки пользовательской скорости может возникнуть для обеспечения совместимости с аппаратурой различных поколений связанной с неоднократными изменениями документа РТМ 1495-75 в части пункта «2.3 Временные характеристики сигнала (п.п.2.3.2 Скорость передачи данных)», а так же требованиям ГОСТ 18977-79 п.4.2 (Скорость передачи информации).

Перед установкой пользовательской скорости необходимо произвести аппаратное измерение скорости данных в линии и время паузы между сообщениями (осциллографом).

Так же возможно использовать ориентировочное известное значение скорости (с точностью не менее $\pm 20\%$). Значение частоты тактирования определяется как $2000000/\text{скорость линии}$. Например:

Для скорости 101 кбит/с значение будет равно $\frac{2000000}{101000} = 19,8$. Результатом является значение, округленное к ближайшему целому 20 (14h).

Для скорости 99 кбит/с значение будет равно $\frac{2000000}{99000} = 20,2$. Результатом является значение, округленное к ближайшему целому 20 (14h).

Дополнительно для передатчика необходимо установить время паузы между сообщениями “TX_GAP_BITS” (п.2.3.3 РТМ 1495-75), соответствующее текущим параметрам отсчета слов для данной линии.

Время нарастания/спада импульсов передачи устанавливается автоматически для скоростей передачи менее 36 кбит/с – 10 мкс, для скоростей передачи более 36 кбит/с – 1,5мкс.

6. Инициализация каналов модулей "xxxx-429UDxx".

Перед началом работы с модулем необходимо сконфигурировать каждый канал приемников и передатчиков в соответствии с заданным режимом работы.

6.1 Порядок программирования приемника.

При работе передатчика в режиме коммутатора (режим 2), после перезагрузки ПК рекомендуется произвести очистку памяти приемников. Перед очисткой памяти приемника бит «RX_EN» регистра RX_CONF_REG должен быть установлен в значение 0. Очистка памяти осуществляется записью в регистр RX_CONF_REG значения 00000001h. После окончания очистки бит «RCV_RAM_CLS» сбрасывается в 0 автоматически.

Перед разрешением работы приемника должны быть установлены в соответствующее значение биты 30 – 14 регистра RX_CONF_REG. **Установка бит осуществляется записью в регистр необходимых значений с обязательно установленным в значение 0 битом 31.**

Запуск работы приемника осуществляется записью в бит 31 регистра RX_CONF_REG значения 1, при этом значение бит 30 – 14 регистра не изменяется. Биты 2 – 1 регистра RX_CONF_REG могут быть записаны при любом значении бита 31.

Приёмник начинает прием данных только после определения паузы в линии между словами больше 4T. Это необходимо учитывать при написании тестовых программ: сначала запускается приемник, затем через время > 4T запускается передатчик. В противном случае, первое слово, переданное передатчиком, принято не будет.

Остановка работы приемника производится путем записи в бит 31 регистра RX CONF REG значения 0, при этом могут быть переписаны значения бит 30 – 14 регистра RX CONF REG.

6.2 Порядок программирования передатчика

При работе передатчика в режиме работы с внутренней памятью (режим 1) или режиме коммутатора (режим 2) после перезагрузки ПК рекомендуется произвести очистку памяти передатчиков и приемников.

Перед очисткой памяти передатчика бит «TX_EN» регистра TX_CONF_REG должен быть установлен в значение 0. Очистка памяти осуществляется записью в регистр TX_CONTROL_REG значения 00000001h. После окончания очистки бит «TX_RAM_CLS» сбрасывается в 0 автоматически.

Перед разрешением работы передатчика должны быть установлены в соответствующее значение биты 30 – 8 регистра TX_CONF_REG, а так же бит 16 (TX_RR) регистра TX_CONTROL_REG.

В начале, при значении 0 бита 31 регистра TX_CONF_REG, производится запись в регистр TX_CONTROL_REG. **Установка бит регистра TX CONF REG**

осуществляется записью в регистр необходимых значений с обязательно установленным в значение 0 битом 31.

Запуск работы передатчика осуществляется записью в бит 31 регистра TX_CONF_REG значения 1, при этом значение бит 30 – 8 регистра не изменяется.

Остановка работы передатчика производится путем записи в бит 31 регистра TX CONF REG значения 0, при этом могут быть переписаны значения бит 30 – 8 регистра TX CONF REG.

7. Список исправлений и изменений.

Дата	Версия	Изменения
15.01.2021	1.00	Документ создан
26.01.2021	1.01	Релиз документа.
12.02.2021	1.02	Дополнены главы Конфигурация приемников модулей xxxx-429UDxx. и Конфигурация передатчиков модулей xxxx-429UDxx.
04.03.2021	1.03	Устранены опечатки. Изменено оформление документа.