



**Руководство (v1.05)**

**По программированию модулей  
“PCIE-429UDxx”  
“mPCIE-429UDxx”  
“ХМС-429UDxx”**

Интерфейс ГОСТ 18977-79  
PTM 1495-75  
(ARINC – 429)

**19.03.2021**

**ООО “НОВОМАР”**

# Оглавление

1	Область применения.....	4
2	Расшифровка наименования модуля. ....	5
3	Термины определения и сокращения. ....	6
4	Структурная схема модуля «xxxx-429UD88» .....	7
5	Управление режимами работы и функциями модуля. ....	9
5.1	Основные сервисные регистры модуля и регистры DMA. ....	9
5.1.1	Регистр: DMA_DATA_BASE .....	9
5.1.2	Регистр: DMA_INDEX.....	10
5.1.3	Регистр: INTERRUPT.....	11
5.1.4	Регистр: INTERRUPT MASK.....	12
5.1.5	Регистр: ARINC429_DMA_DISABLE .....	13
5.1.6	Регистр: CTR_TIMEOUT_ABSOLUTE <sub>x</sub> .....	14
5.1.7	Регистр: CTR_TIMEOUT_INTERVAL <sub>x</sub> .....	15
5.1.8	Регистр: CTR_DATA_COUNTER <sub>x</sub> .....	16
5.2	Регистры Разовых Команд. ....	17
5.2.1	Регистр: ARINC429_SC_OUT .....	17
5.2.2	Регистр: ARINC429_SC_IN .....	18
5.2.3	Регистр: ARINC429_SC_INT_MASK .....	19
6	Работа приемника. ....	20
6.1	Регистры управления приемником.....	21
6.1.1	Регистр: LBL_CONF_REG_PCI_0 .....	21
6.1.2	Регистр: LBL_CONF_REG_PCI_1 .....	21
6.1.3	Регистр: LBL_CONF_REG_PCI_2 .....	22
6.1.4	Регистр: LBL_CONF_REG_PCI_3 .....	22
6.1.5	Регистр: LBL_CONF_REG_PCI_4 .....	23
6.1.6	Регистр: LBL_CONF_REG_PCI_5 .....	23
6.1.7	Регистр: LBL_CONF_REG_PCI_6 .....	24
6.1.8	Регистр: LBL_CONF_REG_PCI_7 .....	24
6.1.9	Регистр: RX_CONF_REG .....	25
6.2	Порядок программирования приемника .....	27
6.3	Структура данных DMA для режима приемника.....	28
6.3.1	Область DMA.....	28
6.3.1.1	Слово 1 .....	28
6.3.1.2	Слово 2 .....	28
6.3.1.3	Слово 3 .....	28
6.3.1.4	Слово 4 .....	28
7	Работа передатчика.....	29

7.1	Регистры передатчика.....	32
7.1.1	Регистр: TX_CONF_REG.....	32
7.1.2	Регистр: TX_CONTROL_REG .....	34
7.1.3	Регистр: TX_FIFO_REG.....	35
7.2	Распределение памяти для работы с передатчиками ( <i>только режимы работы 1 и 2</i> ).....	36
7.2.1	Память данных передатчиков (TX_DATA_RAM).....	36
7.2.2	Память дескрипторов передатчиков (TX_DESC_RAM).....	36
7.2.3	Коды операций контроллера передатчика: .....	37
7.2.4	Работа контроллера передатчика: .....	39
7.3	Порядок программирования передатчика.....	42
7.4	Структура данных DMA для режимов передатчика.....	43
7.4.1	Слово 1 .....	43
7.4.2	Слово 2 .....	43
7.4.3	Слово 3 .....	43
7.4.4	Слово 4 .....	43
	<b>Список исправлений и изменений.....</b>	<b>44</b>

## 1 Область применения

Настоящее руководство действительно для модулей:

"PCIe-429UDxx"

"mPCIe-429UDxx"

"ХМС-429UDxx"

Интерфейсные модули "PCIe-429UDxx", "mPCIe-429UDxx", "ХМС-429UDxx" предназначены для подключения ПК к последовательному интерфейсу ARINC 429 (последовательный код- ПК по ГОСТ 18977-79 и РТМ1495-75) и дискретным каналам (Разовые Команды - РК) по ГОСТ 18977-79.

Модули "xPCIe-A429UDxx" и "ХМС-A429UDxx" имеют до 16 передатчиков и 16 приёмников ARINC-429, а также до 8 выходных и до 8 входных линии «Разовых Команд». Модуль выполнен в формате платы расширения для ПК, устанавливаемой в слот PCI Express v.1.1 x1. Модули рассчитаны на применение в тяжелых условиях эксплуатации и расширенного температурного диапазона от минус 60°C до +85°C.

Идентификатор на шине PCI-Express

Поле	Значение			
	PCIe-429UD88	mPCIe-429UD84	ХМС-429UD88	ХМС-429UD22
Vendor ID	0xA203	0xA203	0xA203	0xA203
Device ID	0x9477	0x9478	0x9481	0x9481
Revision ID	0x01	0x11	0x01	0x41
SubVendor ID	0xA203	0xA203	0xA203	0xA203
SubDevice ID	0x9477	0x9478	0x9481	0x9481
ClassCode	0x028000	0x028000	0x028000	0x028000

Revision ID – количество каналов ARINC-429:

0x01 – модификация по числу каналов 88 (8x8);

0x11 – модификация по числу каналов 84 (8x4);

0x21 – модификация по числу каналов 44 (4x4);

0x31 – модификация по числу каналов 66 (16x16);

0x41 – модификация по числу каналов 22 (12x12);

Device ID – количество каналов Разовых Команд:

0x9477 (PCIe-429UDxx) - 4 приемника РК, 4 передатчика РК;

0x9478 (mPCIe-429UDxx) - 2 приемника РК, 2 передатчика РК;

0x9481 (ХМС-429UDxx) - 8 приемников РК, 8 передатчиков РК

Для уточнения информации по количеству каналов ARINC-429 и РК обратитесь к техническому описанию для каждого используемого модуля.

## 2 Расшифровка наименования модуля.

<b>mPCIe-</b>	<b>429</b>	<b>UD</b>	<b>84</b>	<b>-50</b>
<i>1</i>	<i>2</i>	<i>3</i>	<i>4</i>	<i>5</i>

## 1.Форм фактор модуля и интерфейс подключения к ПК:

- **PCIe** – PCI Express Card
- **mPCIe** – PCI Express Mini Card
- **ХМС** – ХМС Switched Mezzanine Card

## 2.Тип линии и протокол обмена:

- **429** –интерфейс последовательный ARINC 429 (последовательный код- ПК по ГОСТ 18977-79 и РТМ1495-75) и дискретным каналам (Разовые Команды - РК) по ГОСТ 18977-79.

## 3.Функциональное назначение:

- **UD** – Универсальное устройство.

## 4. Число каналов:

- **88** – 8 приёмников, 8 передатчиков;
- **84** – 8 приёмников, 4 передатчика;
- **44** – 4 приёмника, 4 передатчика;
- **22** – 12 приёмников, 12 передатчиков;
- **66** – 16 приёмников, 16 передатчиков;

## 5. Температурный диапазон:

- **пробел** – минус 40...+70; (для **PCIe** – PCI Express Card)
- **пробел** – минус 40...+85; (для **mPCIe** – PCI Express Mini Card и **ХМС** – ХМС Switched Mezzanine Card)
- **50** – минус 50...+85; (для **mPCIe** – PCI Express Mini Card и **ХМС** – ХМС Switched Mezzanine Card)
- **60** – минус 60...+85; (для **mPCIe** – PCI Express Mini Card и **ХМС** – ХМС Switched Mezzanine Card)

### 3 Термины определения и сокращения.

Список сокращений:

- ПК - персональный компьютер
- СД - слово данных
- DMA - прямой доступ к памяти
- ПО - программное обеспечение

## 4 Структурная схема модуля «xxxx-429UD88»

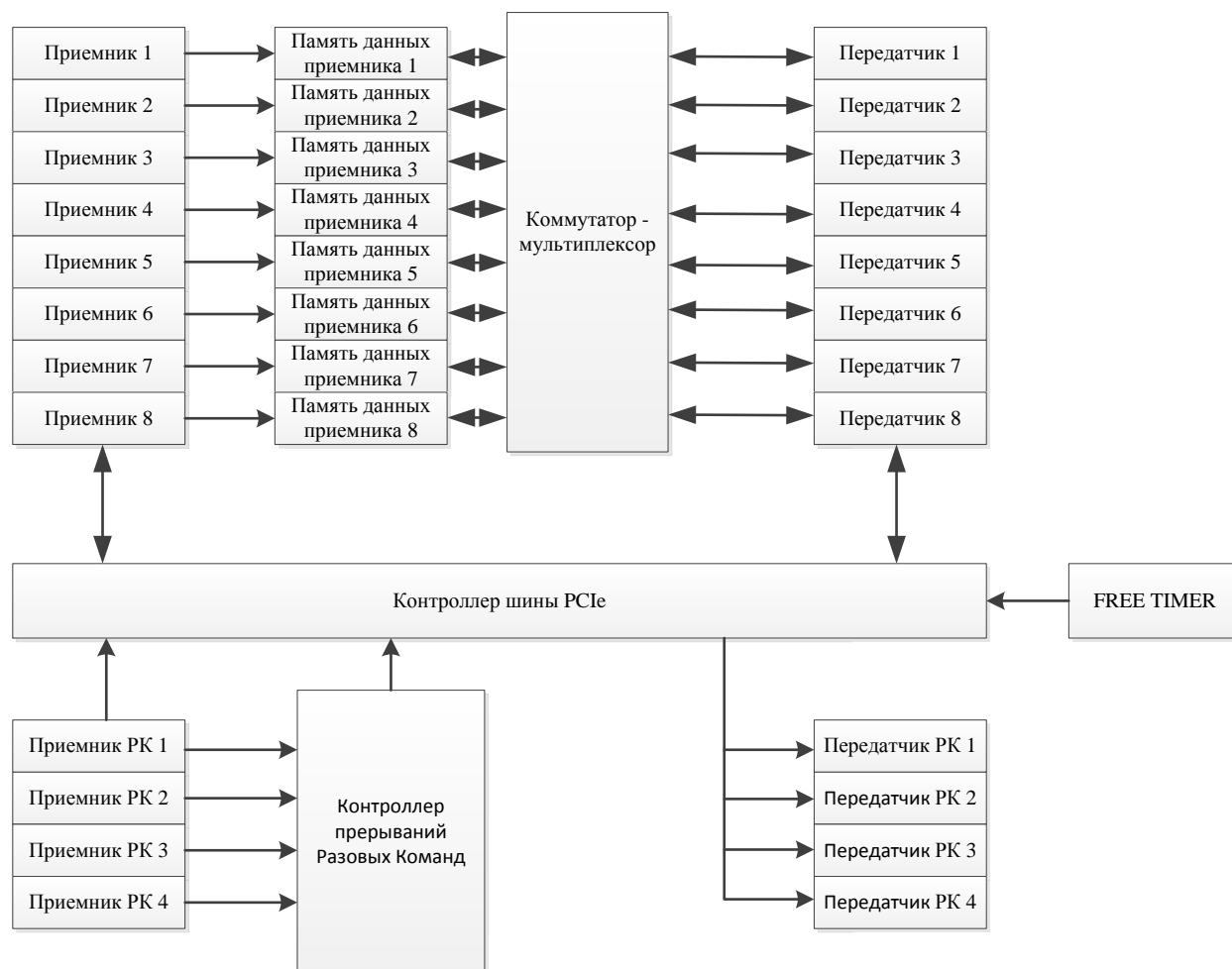


Рисунок 1. Структура модуля PCIe-429UD88.

Модуль состоит из следующих основных компонентов:

- 8 независимых приемников шины ГОСТ 18977-79 (ARINC-429), обеспечивающих прием данных с возможностью фильтрации адресов;
- 8 независимых блоков памяти данных для каждого канала приемника, обеспечивающих хранение 256x32 принятых слов каждый, а так же 256x8 признаков приема новых данных (NEW\_DATA) для передатчиков;
- коммутатор – мультиплексор, обеспечивающий доступ каждого передатчика к данным по любому адресу любого канала приемника, а так же получение и сброс признака NEW\_DATA, для передатчика с которого был произведен доступ;
- 8 независимых каналов передатчиков, обеспечивающих возможность передачи данных в одном из трех режимов, а так же организацию режима самотестирования (тест – петля);
- неуправляемый 32-х разрядный таймер (FREE\_TIMER), обеспечивающий каждую транзакцию DMA метками реального времени с дискретностью 100 мкс;
- 4 входных каскада для приёма Разовых команд с возможностью генерации прерываний по любому фронту РК;
- 4 выходных каскада для выдачи Разовых команд;
- контроллер шины PCIe с функцией DMA, обеспечивающий возможность управления и обмена данными с ПК, а так же содержащий основные регистры необходимые для функций DMA и обработки прерываний, служебные регистры для обеспечения сервисных функций устройства;
- вспомогательные компоненты, обеспечивающие работоспособность и сервисные функции модуля (на схеме не указаны).

Таблица 1 описывает регистры модуля их название, адрес и возможные операции с регистром: запись – **W**, чтение – **R**, запись и чтение – **R/W**.

Таблица 1

Адрес	Название	Read/Write	Описание
1000h	<a href="#"><u>DMA_DATA_BASE</u></a>	R/W	Базовый адрес буфера данных в памяти ПК
1040h	<a href="#"><u>DMA_INDEX</u></a>	R/W	Указатель записи в буфере данных
1044h	<a href="#"><u>ARINC429_DMA_DISABLE</u></a>	R/W	Запрещение работы каналов
100Ch	<a href="#"><u>INTERRUPT</u></a>	R	Статус прерываний
1010h	<a href="#"><u>INTERRUPT_MASK</u></a>	R/W	Маска прерываний
1050h	<a href="#"><u>CTR_TIMEOUT_ABSOLUTE</u></a>	R/W	Регистр абсолютного таймера
1060h	<a href="#"><u>CTR_TIMEOUT_INTERVAL</u></a>	R/W	Регистр интервального таймера
1070h	<a href="#"><u>CTR_DATA_COUNTER</u></a>	R/W	Регистр счётчика данных.
1080h	<a href="#"><u>ARINC429_SC_OUT</u></a>	R/W	Выходной регистр Разовых Команд
1084h	<a href="#"><u>ARINC429_SC_IN</u></a>	R	Входной регистр Разовых Команд
1088h	<a href="#"><u>ARINC429_SC_INT_MASK</u></a>	R/W	Маска прерываний Разовых Команд
1400h, + Nch *40h.	<a href="#"><u>LBL_CONF_REG_PCI_0</u></a>	W	Регистр разрешения приема данных
1404h, + Nch *40h.	<a href="#"><u>LBL_CONF_REG_PCI_1</u></a>	W	Регистр разрешения приема данных
1408h, + Nch *40h.	<a href="#"><u>LBL_CONF_REG_PCI_2</u></a>	W	Регистр разрешения приема данных
140Ch, + Nch *40h.	<a href="#"><u>LBL_CONF_REG_PCI_3</u></a>	R/W	Регистр разрешения приема данных
1410h, + Nch *40h.	<a href="#"><u>LBL_CONF_REG_PCI_4</u></a>	R/W	Регистр разрешения приема данных
1414h, + Nch *40h.	<a href="#"><u>LBL_CONF_REG_PCI_5</u></a>	W	Регистр разрешения приема данных
1418h, + Nch *40h.	<a href="#"><u>LBL_CONF_REG_PCI_6</u></a>	W	Регистр разрешения приема данных
141Ch, + Nch *40h.	<a href="#"><u>LBL_CONF_REG_PCI_7</u></a>	W	Регистр разрешения приема данных
1420h, + Nch *40h.	<a href="#"><u>RX_CONF_REG</u></a>	W	Регистр конфигурации приемника
1428h, + Nch *40h.	<a href="#"><u>TX_CONF_REG</u></a>	R/W	Регистр конфигурации передатчика
142Ch, + Nch *40h.	<a href="#"><u>TX_CONTROL_REG</u></a>	R/W	Регистр управления передатчиком
1430h, + Nch *40h.	<a href="#"><u>TX_FIFO_REG</u></a>	R/W	Слово данных для передачи из FIFO
8000...83FCh, + Nch *800h.	<a href="#"><u>TX_DATA_RAM</u></a>	R/W	Память данных передатчиков
8400...87FCh, + Nch *800h.	<a href="#"><u>TX_DESC_RAM</u></a>	R/W	Память дескрипторов передатчиков

Адреса регистров указаны в виде смещения от базового адреса BAR0 устройства на шине PCI.

Значение адреса указано в байтах. Все регистры 32 битные за исключением DMA\_DATA\_BASE.

Запись в регистры должна производиться словами не менее 32 бит.



## 5 Управление режимами работы и функциями модуля.

### 5.1 Основные сервисные регистры модуля и регистры DMA.

#### 5.1.1 Регистр: DMA\_DATA\_BASE

Адрес: 1000h

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
Номер бита																															
63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: базовый адрес буфера данных в памяти ПК (64бит)

Номер бита	Обозначение	Описание
63-8	DATA_BAR	Базовый адрес буфера данных.
7-1	RSRV	Не используются, должны быть "0".
0	DMA_EN	Разрешение работы DMA: "0" - выключено "1" - включено

Данные записываются в память РС в кольцевой буфер размером 1Мб.

Данные в буфере записываются от младших адресов к старшим.

Данные записываются блоками по 16 байт. Подробно структура принятых данных в памяти ПК описана в главах: [«6.3 Структура данных DMA для режима приемника»](#) и [«7.4 Структура данных DMA для режимов передатчика»](#).

По заполнению половины буфера и 1/16 (512 Кб и 64Кб, соответственно) генерируются прерывания, отображаемые в регистре **INTERRUPT**.

## 5.1.2 Регистр: DMA\_INDEX

Адрес: 1040h

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-
												W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W					

Описание: указатель записи в буфере данных.

Номер бита	Обозначение	Описание
31-20	RSRV	Не используются, должны быть "0".
19-4	DATA_INDEX	Указатель записи в буфере данных.
3-0	RSRV	Не используются, "0".

При записи любого значения в регистр указатель сбрасывается в "0"

Работа буфера данных производится по схеме FIFO.

Программа-драйвер должна иметь счетчик чтения данных. При старте системы оба счетчика равны нулю. При получении прерывания должен считываться указатель записи и сравниваться с указателем чтения. Если они различаются, то обрабатываются данные от указателя чтения (включительно) до указателя записи (исключая его) с учетом перехода через 0.



Рисунок 2. Указатели в буфере DMA.

При записи любого значения в регистр указателя записи **DMA\_INDEX** он сбрасывается в '0'. Драйвер устройства должен отслеживать событие переполнения буферов данных в памяти ПК.

При необходимости, если ПК не успевает забирать данные, записанные платой, возможна временная остановка передачи данных в память ПК – сброс бита 0 регистра **DMA\_DATA\_BASE**. Для последующего запуска бит нужно снова установить в '1'.

## 5.1.3 Регистр: INTERRUPT

Адрес: 100Ch

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	-	R	R	R	R	-	R	R

Описание: регистр прерывания.

Номер бита	Обозначение	Описание
31	ARINC429_INT_CH16	Прерывание канала 16 ARINC429.
30	ARINC429_INT_CH15	Прерывание канала 15 ARINC429.
29	ARINC429_INT_CH14	Прерывание канала 14 ARINC429.
28	ARINC429_INT_CH13	Прерывание канала 13 ARINC429.
27	ARINC429_INT_CH12	Прерывание канала 12 ARINC429.
26	ARINC429_INT_CH11	Прерывание канала 11 ARINC429.
25	ARINC429_INT_CH10	Прерывание канала 10 ARINC429.
24	ARINC429_INT_CH9	Прерывание канала 9 ARINC429.
23	ARINC429_INT_CH8	Прерывание канала 8 ARINC429.
22	ARINC429_INT_CH7	Прерывание канала 7 ARINC429.
21	ARINC429_INT_CH6	Прерывание канала 6 ARINC429.
20	ARINC429_INT_CH5	Прерывание канала 5 ARINC429.
19	ARINC429_INT_CH4	Прерывание канала 4 ARINC429.
18	ARINC429_INT_CH3	Прерывание канала 3 ARINC429.
17	ARINC429_INT_CH2	Прерывание канала 2 ARINC429.
16	ARINC429_INT_CH1	Прерывание канала 1 ARINC429.
15	ARINC429_INT_SC8	Прерывание входных Разовых Команд линия 8.
14	ARINC429_INT_SC7	Прерывание входных Разовых Команд линия 7.
13	ARINC429_INT_SC6	Прерывание входных Разовых Команд линия 6.
12	ARINC429_INT_SC5	Прерывание входных Разовых Команд линия 5.
11	ARINC429_INT_SC4	Прерывание входных Разовых Команд линия 4.
10	ARINC429_INT_SC3	Прерывание входных Разовых Команд линия 3.
9	ARINC429_INT_SC2	Прерывание входных Разовых Команд линия 2.
8	ARINC429_INT_SC1	Прерывание входных Разовых Команд линия 1.
7	RSRV	Не используются, "0"..
6	INT_TIMEOUT_ABS	Прерывание абсолютного таймера контроллера DMA.
5	INT_TIMEOUT_ITV	Прерывание интервального таймера контроллера DMA.
4	INT_DATA_CNT	Прерывание счётчика данных контроллера DMA
3	INT_FLASH	Прерывание контроллера флэш-памяти.
2	RSRV	Не используются, "0".
1	INT_QDAT	Прерывание по заполнению 1/16 буфера данных контроллера 1.
0	INT_HDAT	Прерывание по заполнению половины буфера данных контроллера 1

При чтении регистра все установленные биты регистра сбрасываются в "0".

## 5.1.4 Регистр: INTERRUPT MASK

Адрес: 1010h

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	-	R	R	R	R	-	R	R
							W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W		W	W	W	W		W	W

Описание: регистр маски прерываний

Номер бита	Обозначение	Описание
31	ARINC429_INT_CH16	Разрешение прерывания канала 16 ARINC429.
30	ARINC429_INT_CH15	Разрешение прерывания канала 15 ARINC429.
29	ARINC429_INT_CH14	Разрешение прерывания канала 14 ARINC429.
28	ARINC429_INT_CH13	Разрешение прерывания канала 13 ARINC429.
27	ARINC429_INT_CH12	Разрешение прерывания канала 12 ARINC429.
26	ARINC429_INT_CH11	Разрешение прерывания канала 11 ARINC429.
25	ARINC429_INT_CH10	Разрешение прерывания канала 10 ARINC429.
24	ARINC429_INT_CH9	Разрешение прерывания канала 9 ARINC429.
23	ARINC429_INT_CH8	Разрешение прерывания канала 8 ARINC429.
22	ARINC429_INT_CH7	Разрешение прерывания канала 7 ARINC429.
21	ARINC429_INT_CH6	Разрешение прерывания канала 6 ARINC429.
20	ARINC429_INT_CH5	Разрешение прерывания канала 5 ARINC429.
19	ARINC429_INT_CH4	Разрешение прерывания канала 4 ARINC429.
18	ARINC429_INT_CH3	Разрешение прерывания канала 3 ARINC429.
17	ARINC429_INT_CH2	Разрешение прерывания канала 2 ARINC429.
16	ARINC429_INT_CH1	Разрешение прерывания канала 1 ARINC429.
15	ARINC429_INT_SC8	Разрешение прерывания входных Разовых Команд линия 8.
14	ARINC429_INT_SC7	Разрешение прерывания входных Разовых Команд линия 7.
13	ARINC429_INT_SC6	Разрешение прерывания входных Разовых Команд линия 6.
12	ARINC429_INT_SC5	Разрешение прерывания входных Разовых Команд линия 5.
11	ARINC429_INT_SC4	Разрешение прерывания входных Разовых Команд линия 4.
10	ARINC429_INT_SC3	Разрешение прерывания входных Разовых Команд линия 3.
9	ARINC429_INT_SC2	Разрешение прерывания входных Разовых Команд линия 2.
8	ARINC429_INT_SC1	Разрешение прерывания входных Разовых Команд линия 1.
7	RSRV	Не используются, "0"..
6	INT_TIMEOUT_ABS	Разрешение прерывания абсолютного таймера DMA.
5	INT_TIMEOUT_ITV	Разрешение прерывания интервального таймера DMA.
4	INT_DATA_CNT	Разрешение прерывания счётчика данных DMA
3	INT_FLASH	Разрешение прерывания контроллера флэш-памяти.
2	RSRV	Не используются, "0".
1	INT_QDAT	Разрешение прерывания по заполнению 1/16 буфера данных контроллера 1.
0	INT_HDAT	Разрешение прерывания по заполнению половины буфера данных контроллера 1
		0 – прерывание запрещено, 1 – разрешено

Генерация прерывания по каждому из событий может быть запрещена сбросом (установкой в 0) или разрешена (установкой в 1) соответствующего бита в регистре маски прерываний **INTERRUPT MASK**. Однако, независимо от значения маски, события продолжают отображаться в регистре прерывания. По умолчанию, после системного сброса все прерывания запрещены.

## 5.1.5 Регистр: ARINC429\_DMA\_DISABLE

Адрес: 1044h

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Регистр выключения выключения DMA для отдельных каналов ARINC429.

Номер бита	Обозначение	Описание
<b>DISABLE TX</b>		
31	DIS_TX_CH16	Выключение DMA для канала 16 передачи ARINC429
30	DIS_TX_CH15	Выключение DMA для канала 15 передачи ARINC429
29	DIS_TX_CH14	Выключение DMA для канала 14 передачи ARINC429
28	DIS_TX_CH13	Выключение DMA для канала 13 передачи ARINC429
27	DIS_TX_CH12	Выключение DMA для канала 12 передачи ARINC429
26	DIS_TX_CH11	Выключение DMA для канала 11 передачи ARINC429
25	DIS_TX_CH10	Выключение DMA для канала 10 передачи ARINC429
24	DIS_TX_CH9	Выключение DMA для канала 9 передачи ARINC429
23	DIS_TX_CH8	Выключение DMA для канала 8 передачи ARINC429
22	DIS_TX_CH7	Выключение DMA для канала 7 передачи ARINC429
21	DIS_TX_CH6	Выключение DMA для канала 6 передачи ARINC429
20	DIS_TX_CH5	Выключение DMA для канала 5 передачи ARINC429
19	DIS_TX_CH4	Выключение DMA для канала 4 передачи ARINC429
18	DIS_TX_CH3	Выключение DMA для канала 3 передачи ARINC429
17	DIS_TX_CH2	Выключение DMA для канала 2 передачи ARINC429
16	DIS_TX_CH1	Выключение DMA для канала 1 передачи ARINC429
<b>DISABLE RX</b>		
15	DIS_RX_CH16	Выключение DMA для канала 16 приёма ARINC429
14	DIS_RX_CH15	Выключение DMA для канала 15 приёма ARINC429
13	DIS_RX_CH14	Выключение DMA для канала 14 приёма ARINC429
12	DIS_RX_CH13	Выключение DMA для канала 13 приёма ARINC429
11	DIS_RX_CH12	Выключение DMA для канала 12 приёма ARINC429
10	DIS_RX_CH11	Выключение DMA для канала 11 приёма ARINC429
9	DIS_RX_CH10	Выключение DMA для канала 10 приёма ARINC429
8	DIS_RX_CH9	Выключение DMA для канала 9 приёма ARINC429
7	DIS_RX_CH8	Выключение DMA для канала 8 приёма ARINC429
6	DIS_RX_CH7	Выключение DMA для канала 7 приёма ARINC429
5	DIS_RX_CH6	Выключение DMA для канала 6 приёма ARINC429
4	DIS_RX_CH5	Выключение DMA для канала 5 приёма ARINC429
3	DIS_RX_CH4	Выключение DMA для канала 4 приёма ARINC429
2	DIS_RX_CH3	Выключение DMA для канала 3 приёма ARINC429
1	DIS_RX_CH2	Выключение DMA для канала 2 приёма ARINC429
0	DIS_RX_CH1	Выключение DMA для канала 1 приёма ARINC429

5.1.6 Регистр: CTR\_TIMEOUT\_ABSOLUTE<sub>x</sub>

Адрес: 1050h

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
-	-	-	-	-	-	-	-	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Регистр абсолютного таймера.

Номер бита	Обозначение	Описание
31-24	RSRV	Не используются, должны быть "0".
23-0	TIMER	Значение таймера в микросекундах.

Абсолютный таймер запускается по получении первого сообщения из соответствующего канала с момента последнего прерывания. После получения каждого последующего кадра счетчик не сбрасывается.

По достижении заданного значения в регистре **INTERRUPT** будет установлен соответствующий бит и сгенерировано прерывание (если данное прерывание разрешено). Таймер останавливается без рестарта при достижении установленного значения. Таймер может использоваться для чтения всех принятых сообщений за определённый временной период.

## 5.1.7 Регистр: CTR\_TIMEOUT\_INTERVALx

Адрес: 1060h

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
-	-	-	-	-	-	-	-	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Регистр интервального таймера.

Номер бита	Обозначение	Описание
31-24	RSRV	Не используются, должны быть "0".
23-0	TIMER	Значение таймера в микросекундах.

Интервальный таймер запускается по получении каждого сообщения из соответствующего канала. То есть, после записи каждого последующего кадра счетчик будет сброшен и продолжит отсчет с нуля.

По достижении заданного значения в регистре **INTERRUPT** будет установлен бит 27 - 24 (INT\_TIMEOUT\_ITVx) и сгенерировано прерывание (если данное прерывание разрешено). Таймер останавливается без рестарта при достижении установленного значения. Таймер может быть использован для отслеживания редких сообщений в канале.

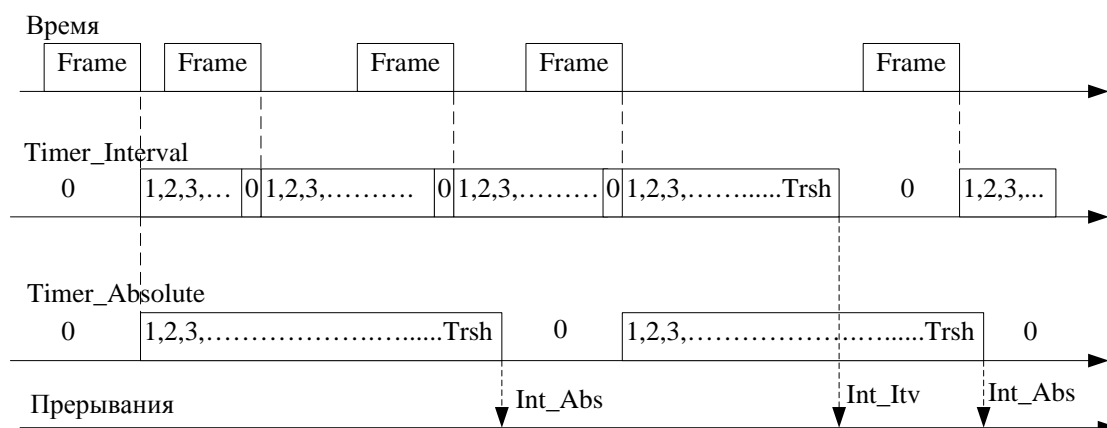


Рисунок 3. Работа интервального и абсолютного таймеров.

Единица счета абсолютного и интервального таймеров – 1 мкс.

## 5.1.8 Регистр: CTR\_DATA\_COUNTERx

Адрес: 1070h

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R
																		W	W	W	W	W	W	W	W	W	W	W	W	W	W

Описание: Регистр счётчика данных.

Номер бита	Обозначение	Описание
31-14	RSRV	Не используются, должны быть "0".
13-0	COUNT	Значение счётчика сообщений.

Счётчик данных считает сообщения.

По достижении заданного значения в регистре **INTERRUPT** будет установлен бит и сгенерировано прерывание (если данное прерывание разрешено). Таймер останавливается без рестарта при достижении установленного значения. Таймер может быть использован для накопления определённого количества сообщений, принятых из канала.



## 5.2 Регистры Разовых Команд.

## 5.2.1 Регистр: ARINC429\_SC\_OUT

Адрес: 1080h

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
																W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Выходной регистр Разовых Команд.

Структура данных на запись:

Номер бита	Обозначение	Описание
31-16	RSRV	Не используются, "0".
15-14	SC8	PK канал 8
13-12	SC7	PK канал 7
11-10	SC6	PK канал 6
9-8	SC5	PK канал 5
7-6	SC4	PK канал 4
5-4	SC3	PK канал 3
3-2	SC2	PK канал 2
1-0	SC1	PK канал 1

Запись PK каждого канала происходит с помощью двух бит:  
 "01" – Установить PK в «1» (активировать линию PK)  
 "10" – Сбросить PK в «0» (деактивировать линию PK)  
 "00","11" – не менять значение PK

Структура данных на чтение:

Номер бита	Обозначение	Описание
31-8	RSRV	Не используются, "0".
7	SC8	PK канал 8
6	SC7	PK канал 7
5	SC6	PK канал 6
4	SC5	PK канал 5
3	SC4	PK канал 4
2	SC3	PK канал 3
1	SC2	PK канал 2
0	SC1	PK канал 1

После сброса все линии PK находятся в деактивированном состоянии

## 5.2.2 Регистр: ARINC429\_SC\_IN

Адрес: 1084h

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R

Описание: Входной регистр Разовых Команд.

Структура данных на чтение:

Номер бита	Обозначение	Описание
31-8	RSRV	Не используются, "0".
7	SC8	PK канал 8
6	SC7	PK канал 7
5	SC6	PK канал 6
4	SC5	PK канал 5
3	SC4	PK канал 4
2	SC3	PK канал 3
1	SC2	PK канал 2
0	SC1	PK канал 1

## 5.2.3 Регистр: ARINC429\_SC\_INT\_MASK

Адрес: 1088h

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
																W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Маска прерываний Разовых Команд.

Структура данных:

Номер бита	Обозначение	Описание
31-16	RSRV	Не используются, "0".
15	SC8_RISE	Разрешение прерывания по нарастающему фронту РК канал 8, наличие сигнала
14	SC7_RISE	Разрешение прерывания по нарастающему фронту РК канал 7, наличие сигнала
13	SC6_RISE	Разрешение прерывания по нарастающему фронту РК канал 6, наличие сигнала
12	SC5_RISE	Разрешение прерывания по нарастающему фронту РК канал 5, наличие сигнала
11	SC8_FALL	Разрешение прерывания по спадающему фронту РК канал 8, отсутствие сигнала
10	SC7_FALL	Разрешение прерывания по спадающему фронту РК канал 7, отсутствие сигнала
9	SC6_FALL	Разрешение прерывания по спадающему фронту РК канал 6, отсутствие сигнала
8	SC5_FALL	Разрешение прерывания по спадающему фронту РК канал 5, отсутствие сигнала
7	SC4_RISE	Разрешение прерывания по нарастающему фронту РК канал 4, наличие сигнала
6	SC3_RISE	Разрешение прерывания по нарастающему фронту РК канал 3, наличие сигнала
5	SC2_RISE	Разрешение прерывания по нарастающему фронту РК канал 2, наличие сигнала
4	SC1_RISE	Разрешение прерывания по нарастающему фронту РК канал 1, наличие сигнала
3	SC4_FALL	Разрешение прерывания по спадающему фронту РК канал 4, отсутствие сигнала
2	SC3_FALL	Разрешение прерывания по спадающему фронту РК канал 3, отсутствие сигнала
1	SC2_FALL	Разрешение прерывания по спадающему фронту РК канал 2, отсутствие сигнала
0	SC1_FALL	Разрешение прерывания по спадающему фронту РК канал 1, отсутствие сигнала

## 6 Работа приемника.

Приемник может принимать данные со скоростью 12 – 14,5 кбит/с, 50 кбит/с и 100 кбит/с. В приемнике реализована проверка данных на четность, проверка длительности паузы между сообщениями. Так же реализована фильтрация сообщений по адресам и оценка длительности битового интервала с точностью  $\pm 10\%$ .

Структурная схема приемника представлена на рис. 4.

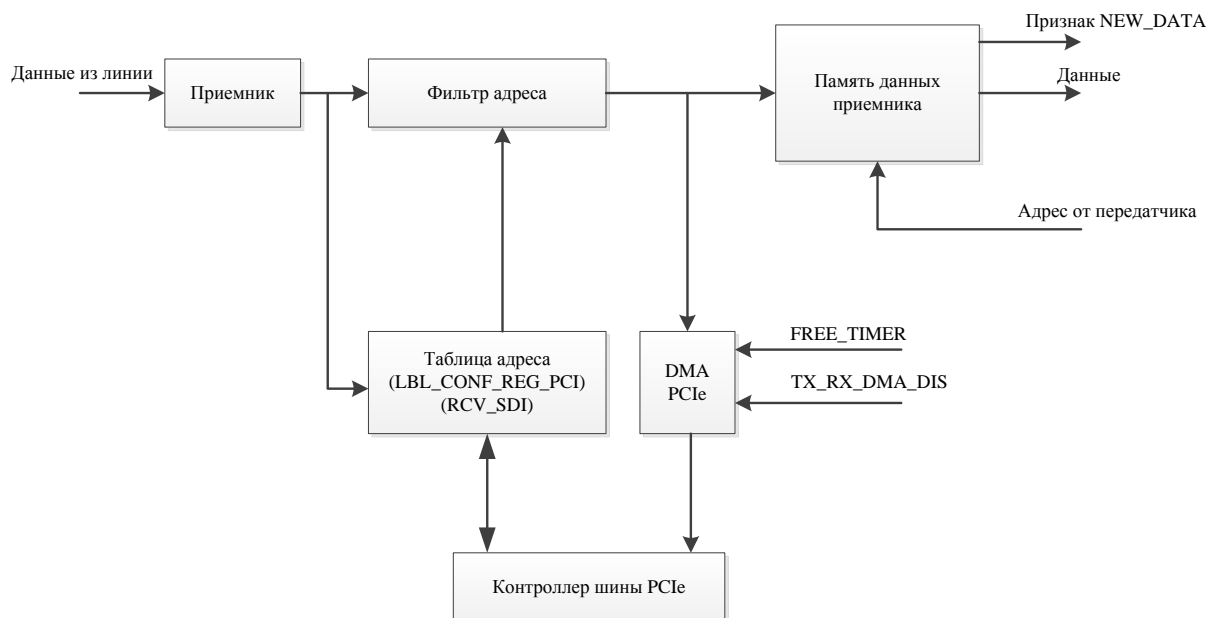


Рисунок 4. Структурная схема одного канала приемника.

Приемник состоит из собственно, приемника, декодирующего сигнал, приходящий из линии, таблицы фильтрации адресов, фильтра адресов, памяти данных и блока DMA PCIe для передачи принятых данных на шину PCIe. Память принятых данных для передатчика используется только в режиме 2 работы передатчика и не доступна для чтения, адресация чтения осуществляется полем «LABEL» кода операции передатчика ([7.2.2 Память дескрипторов передатчиков](#)).

Данные в память всегда записываются по декодированным адресам поля адреса принятого слова данных в порядке: старший бит адреса – бит 1 принятого слова, младший бит адреса – бит 8 принятого слова (адрес зеркален по отношению к принятым битам 8 – 1 сообщения, т.е. при получении младших 8 бит данных = 10000000, адрес = 00000001).

Адрес записи не зависит от значения бита RCV\_REVERSE регистра RX\_CONF\_REG. Память приемника может хранить 256 принятых слов данных. С поступлением по адресу нового слова данных, старые данные переписываются. При получении нового слова данных устанавливается признак NEW\_DATA для адреса, на который поступили данные (для всех передатчиков одновременно). При чтении передатчиком данных из этого адреса, признак NEW\_DATA сбрасывается автоматически (для каждого передатчика, осуществившего запрос).

Принятые и отфильтрованные данные поступают в блок DMA PCIe, где снабжаются 2 словами статуса и меткой времени, соответствующей окончанию приема слова данных ([6.3 Структура данных DMA для режима приемника](#)). При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита TX\_RX\_DMA\_DIS для данного канала.

## 6.1 Регистры управления приемником.

## 6.1.1 Регистр: LBL\_CONF\_REG\_PCI\_0

Адрес: 1400h, 1440h, 1480h, 14C0h, 1500h, 1540h, 1580h, 15C0h, 1600h, 1640h, 1680h, 16C0h, 1700h, 1740h, 1780h, 17C0h, (каналов 1, 2, ... 16 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 0-31	<p>Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1, принято 10000000 – декодированный адрес 00000001). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 0 – 31 (адресу 0 соответствует бит 0, адресу 31 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.</p>																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.2 Регистр: LBL\_CONF\_REG\_PCI\_1

Адрес: 1404h, 1444h, 1484h, 14C4h, 1504h, 1544h, 1584h, 15C4h, 1604h, 1644h, 1684h, 16C4h, 1704h, 1744h, 1784h, 17C4h, (каналов 1, 2, ... 16 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 32-63	<p>Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1, принято 10000000 – декодированный адрес 00000001). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 32 – 63 (адресу 32 соответствует бит 0, адресу 63 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.</p>																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.3 Регистр: LBL\_CONF\_REG\_PCI\_2

Адрес: 1408h, 1448h, 1488h, 14C8h, 1508h, 1548h, 1588h, 15C8h, 1608h, 1648h, 1688h, 16C8h, 1708h, 1748h, 1788h, 17C8h, (каналов 1, 2, ... 16 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 64-95	<p>Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1, принято 10000000 – декодированный адрес 00000001).            Данный регистр разрешает или запрещает прием данных в диапазоне адресов 64 – 95 (адресу 64 соответствует бит 0, адресу 95 соответствует бит 31).            Запись 1 в соответствующий бит, разрешает прием данных для этого адреса.            Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.</p>																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.4 Регистр: LBL\_CONF\_REG\_PCI\_3

Адрес: 140Ch, 144Ch, 148Ch, 14CCh, 150Ch, 154Ch, 158Ch, 15CCh, 160Ch, 164Ch, 168Ch, 16CCh, 170Ch, 174Ch, 178Ch, 17CCh, (каналов 1, 2, ... 16 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 96-127	<p>Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1, принято 10000000 – декодированный адрес 00000001).            Данный регистр разрешает или запрещает прием данных в диапазоне адресов 96 – 127 (адресу 96 соответствует бит 0, адресу 127 соответствует бит 31).            Запись 1 в соответствующий бит, разрешает прием данных для этого адреса.            Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.</p>																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.5 Регистр: LBL\_CONF\_REG\_PCI\_4

Адрес: 1410h, 1450h, 1490h, 14D0h, 1510h, 1550h, 1590h, 15D0h, 1610h, 1650h, 1690h, 16D0h, 1710h, 1750h, 1790h, 17D0h, (каналов 1, 2, ... 16 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 128-159	<p>Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1, принято 10000000 – декодированный адрес 00000001).            Данный регистр разрешает или запрещает прием данных в диапазоне адресов 128 – 159 (адресу 128 соответствует бит 0, адресу 159 соответствует бит 31).            Запись 1 в соответствующий бит, разрешает прием данных для этого адреса.            Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.</p>																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.6 Регистр: LBL\_CONF\_REG\_PCI\_5

Адрес: 1414h, 1454h, 1494h, 14D4h, 1514h, 1554h, 1594h, 15D4h, 1614h, 1654h, 1694h, 16D4h, 1714h, 1754h, 1794h, 17D4h, (каналов 1, 2, ... 16 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 160-191	<p>Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1, принято 10000000 – декодированный адрес 00000001).            Данный регистр разрешает или запрещает прием данных в диапазоне адресов 160 – 191 (адресу 160 соответствует бит 0, адресу 159 соответствует бит 31).            Запись 1 в соответствующий бит, разрешает прием данных для этого адреса.            Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.</p>																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.7 Регистр: LBL\_CONF\_REG\_PCI\_6

Адрес: 1418h, 1458h, 1498h, 14D8h, 1518h, 1558h, 1598h, 15D8h, 1618h, 1658h, 1698h, 16D8h, 1718h, 1758h, 1798h, 17D8h, (каналов 1, 2, ... 16 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 192-223	<p>Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1, принято 10000000 – декодированный адрес 00000001). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 192 – 223 (адресу 192 соответствует бит 0, адресу 223 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.</p>																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.8 Регистр: LBL\_CONF\_REG\_PCI\_7

Адрес: 141Ch, 145Ch, 149Ch, 14DCh, 151Ch, 155Ch, 159Ch, 15DCh, 161Ch, 165Ch, 169Ch, 16DCh, 171Ch, 175Ch, 179Ch, 17DCh, (каналов 1, 2, ... 16 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 224-255	<p>Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1, принято 10000000 – декодированный адрес 00000001). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 224 – 255 (адресу 224 соответствует бит 0, адресу 255 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.</p>																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1



## 6.1.9 Регистр: RX\_CONF\_REG

Адрес: 1420h, 1460h, 14A0h, 14E0h, 1520h, 1560h, 15A0h, 15E0h, 1620h, 1660h, 16A0h, 16E0h, 1720h, 1760h, 17A0h, 17E0h, (каналов 1, 2, ... 16 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	-	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R
0	W	W	W	-	W	W	W	W	W	W	W	W	W	W	W	W	W	-	-	-	-	-	-	-	-	-	-	-	W	W	W	
1	N	N	N	-	N	N	N	N	N	N	N	N	N	N	N	N	N	-	-	-	-	-	-	-	-	-	-	-	W	W	N	
	C	C	C		C	C	C	C	C	C	C	C	C	C	C	C	C														C	

Описание: Регистр конфигурации приемника

Номер бита	Обозначение	Описание
31	RX_EN	Значение 1 разрешает работу канала приема, значение 0 – запрещает.
30	RCV_PARCHECK	Значение 1 разрешает проверку четности разрядов 31 -1 принятого слова данных, значение 0 – запрещает. При разрешении проверки четности в старший бит принятого слова - бит 31 (бит 32 ГОСТ 18977-79) записывается значение 0, при совпадении четности. Значение 1 записывается при не совпадении четности.
29	RCV_PARITY	Значение 0 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при нечетном количестве единиц в разрядах 31- 1 принятого слова данных. Значение 1 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при четном количестве единиц в разрядах 31- 1 принятого слова данных (порядок бит, указан по ГОСТ 18977-79).
28	RCV_REVERCE	Значение 1 устанавливает исходный порядок бит в принятом слове данных DMA: биты 32-9, биты 8-1. Значение 0 сохраняет принятый порядок данных: биты 32-9, биты 1-8 (порядок бит, указан по ГОСТ 18977-79).
27	-	Резерв
26-25	RCV_SDI	Биты определяют значение идентификатора, который должен быть принят (в принятом слове данных биты 10 и 9 по ГОСТ 18977-79).
24-22	RSV_RATE	Биты определяют скорость приема данных. Значение “100” – скорость приема данных 100 кбит/с Значение “010” – скорость приема данных 12 – 14,5 кбит/с Значение “110” – скорость приема данных 50 кбит/с <b>Значение “001” – скорость приема устанавливается через значение делителя частоты RCV_CUST_R. Этот режим используется только при полном понимании пользователя в необходимости данного режима.</b>
21-14	RCV_CUST_R	Биты определяют значение для делителя частоты приема. Значение частоты определяется как 2000000/скорость приема. <b>Полученное значение должно находиться в пределах <math>2 &lt; X &lt; 180</math>. В противном случае запись 1 в поле RX_EN блокируется.</b>
13-3	-	Резерв
2	RCV_DECODE	Значение 1 разрешает фильтрацию поля RCV_SDI. В результате будут приниматься данные содержащие только установленный идентификатор битов RCV_SDI.
1	RCV_FLTR_DIS	Значение 1 запрещает фильтрацию адресов, установленную в регистрах LBL_CONF_REG_PCI_x. В результате будут приниматься данные со всех адресов, не зависимо от значений регистров LBL_CONF_REG_PCI_x. Фильтрация адресов производится только по декодированному адресу СД (биты 8 – 1,

		принято 10000000 – декодированный адрес 00000001). Порядок принятых бит адреса не зависит от значения бита «RCV_REVERSE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.
0	RCV_RAM_CLS	Бит очистки памяти приемника. <u>Установка бита разрешена только при значении 0 бита RX_EN.</u> Значение бита сбрасывается в 0 аппаратно после выполнения процедуры очистки. Основное назначение очистки – сброс признака NEW_DATA. <u>Очистку рекомендуется производить перед началом совместной работы с передатчиками, работающими в режиме 2, а так же после перезагрузки ПК. При аппаратном сбросе содержимое памяти не обнуляется. Время очистки памяти одного канала не более 3 мкс.</u>

## 6.2 Порядок программирования приемника

Перед очисткой памяти приемника бит «RX\_EN» регистра RX\_CONF\_REG должен быть установлен в значение 0. Очистка памяти осуществляется записью в регистр RX\_CONF\_REG значения 00000001h. После окончания очистки бит «RCV\_RAM\_CLS» сбрасывается в 0 автоматически.

Регистры LBL\_CONF\_REG\_PCI\_x после перезагрузки ПК сохраняют установленные ранее значения и не принимают значение по умолчанию.

Перед разрешением работы приемника должны быть установлены в соответствующее значение биты 30 – 14 регистра RX\_CONF\_REG. **Установка бит осуществляется записью в регистр необходимых значений с обязательно установленным в значение 0 битом 31.**

Запуск работы приемника осуществляется записью в бит 31 регистра RX\_CONF\_REG значения 1, при этом значение бит 30 – 14 регистра не изменяется. Биты 2 – 1 регистра RX\_CONF\_REG могут быть записаны при любом значении бита 31.

**Приемник начинает прием данных после определения состояния линии 0В (отсутствие бит информации) в течении одного битового интервала для установленной скорости приема данных.**

**Остановка работы приемника производится путем записи в бит 31 регистра RX\_CONF\_REG значения 0, при этом могут быть переписаны значения бит 30 – 14 регистра RX\_CONF\_REG.**

### 6.3 Структура данных DMA для режима приемника.

#### 6.3.1 Область DMA.

Служебная область DMA содержит различные статусы, информацию об ошибках и другую сервисную информацию.

##### 6.3.1.1 Слово 1

Номер бита	Обозначение	Описание
31	RX	Значение бита отражает источник данных: 0 – приемник.
30	RCV_PARCHECK	Значение бита 30 регистра RX_CONF_REG.
29	RCV_PARITY	Значение бита 29 регистра RX_CONF_REG.
28	RCV_REVERCE	Значение бита 28 регистра RX_CONF_REG.
27-24	RCV_CHAN_NUM	Номер канала приемника.
23-22	SID	Значение бит 10 - 9 принятого сообщения согласно ГОСТ 18977-79
21-14	LABEL	Значение бит 8 - 1 принятого сообщения согласно ГОСТ 18977-79. <b><u>Данное значение всегда определено позиционным соответствием принятых бит, а не порядком их приема.</u></b>
13-0	-	Резерв

##### 6.3.1.2 Слово 2

Номер бита	Обозначение	Описание
31	RX	Значение бита отражает источник данных: 0 – приемник.
30	-	Резерв
29-24	RX_BIT_NUM_ERR	Номер бита, принятого с ошибкой кодировки.
23	RX_PAR_ERR	Ошибка четности.
22	RX_GAP_ERR	Ошибка паузы.
21	RX_BIT_ERROR	Ошибка кодировки бита.
20	-	Резерв
19-15	RX_BITLENGTH	Средняя длина принятых бит, измеренная на частоте 10*Fпр.
14-0	-	Резерв

##### 6.3.1.3 Слово 3

Номер бита	Обозначение	Описание
31-0	FREE_TIMER	Текущее значение неуправляемого таймера на момент окончания приема данных с дискретностью 100 мкс.

##### 6.3.1.4 Слово 4

Номер бита	Обозначение	Описание
31-0	DATA	Значение принятого слова данных. <b><u>Бит 31 определен конфигурацией бита четности в регистре RX_CONF_REG.</u></b> Биты 30-0 соответствуют битам 31-1 ГОСТ 18977-79. <b><u>Порядок вывода бит 7-0 (8-1 ГОСТ 18977-79) определен значением поля RCV_REVERCE.</u></b>

## 7 Работа передатчика

Каждый передатчик может работать в одном из 3х режимов передачи данных.

На рисунке 5 представлена структурная схема передатчика для режима 0 (00) – режим работы с FIFO.

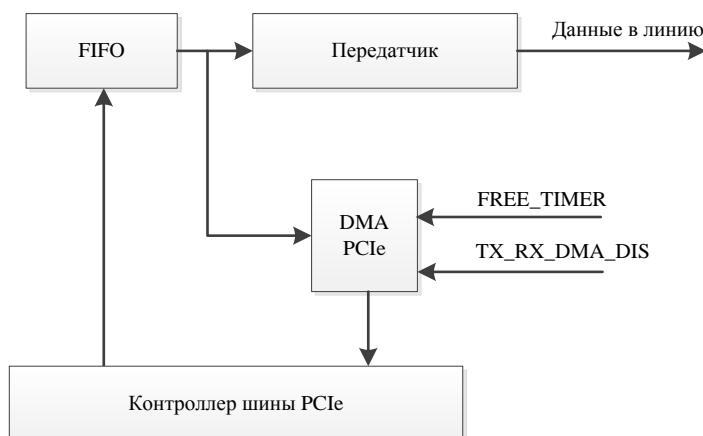


Рисунок 5. Структурная схема передатчика для режима 0 – режим работы с FIFO.

Самый простой режим работы передатчика. Данные от ПК записываются в FIFO передатчика и передаются до полного опустошения FIFO. Структура устройства позволяет записывать в FIFO до 4 слов подряд в одной транзакции. Каждому переданному слову соответствует цикл DMA. В каждом цикле к данным добавляется 3 слова: 2 слова статуса и метка реального времени - FREE\_TIMER, соответствующая времени начала передачи слова данных. При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита TX\_RX\_DMA\_DIS для данного канала. Режим работы с FIFO так же используется при работе в режиме 3 (11) - режим обратной связи (LOOP). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на входе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. Режим предназначен для внутреннего тестирования канала. При этом конфигурации приемника и передатчика должны быть одинаковыми в части формирования четности, установки скорости и порядке бит адреса. Автоматическая конфигурация приемника и передатчика не производится.

На рисунке 6 представлена структурная схема передатчика для режима 1 (01) – режим работы с внутренней памятью передатчика.

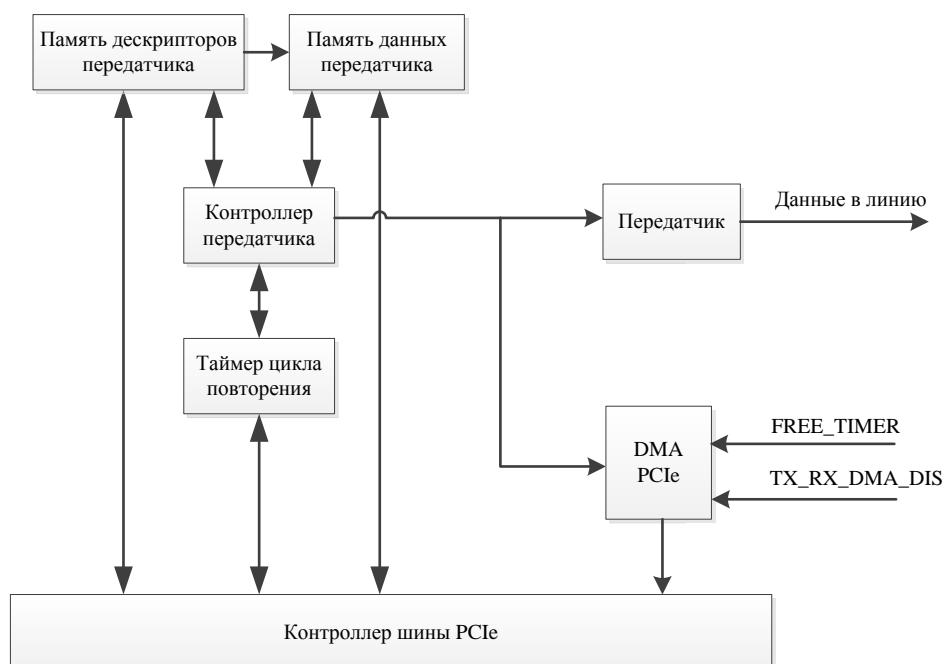


Рисунок 6. Структурная схема передатчика для режима 1 – режим работы с внутренней памятью передатчика.

**Память дескрипторов передатчика** (см. пункт [7.2.2 Память дескрипторов передатчиков](#)). Каждый дескриптор представляется одним 32-битным словом и определяет основную последовательность передачи данных, а так же содержит информацию, управляющую основными циклами передачи.

**Память данных передатчика** (см. пункт [7.2.1 Память данных передатчиков](#)). Содержит данные для передачи в линию. Память организована 32-битными словами с возможностью прямой адресации каждого слова. Запись в память данных со стороны ПК сопровождается автоматической установкой в 1 дополнительного бита данных (NEW\_DATA). При чтении данных бит сбрасывается в 0 автоматически. Данный механизм позволяет, в зависимости от кода управления дескриптора, передавать записанные данные в линию однократно (при значении NEW\_DATA = 0 данные не передаются), или непрерывно, вне зависимости от значения бита NEW\_DATA.

**Контроллер передатчика** выполняет операции, записанные в памяти дескрипторов, а так же обеспечивает управление циклами передачи.

Каждому передаваемому слову соответствует цикл DMA. В каждом цикле к данным добавляется 3 слова: 2 слова статуса и метка реального времени - FREE\_TIMER, соответствующая времени начала передачи слова данных. При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита TX\_RX\_DMA\_DIS для данного канала.

На рисунке 7 представлена структурная схема передатчика для режима 2 (10) – режим работы коммутатора (для модуля «xxxx-429UD66»).

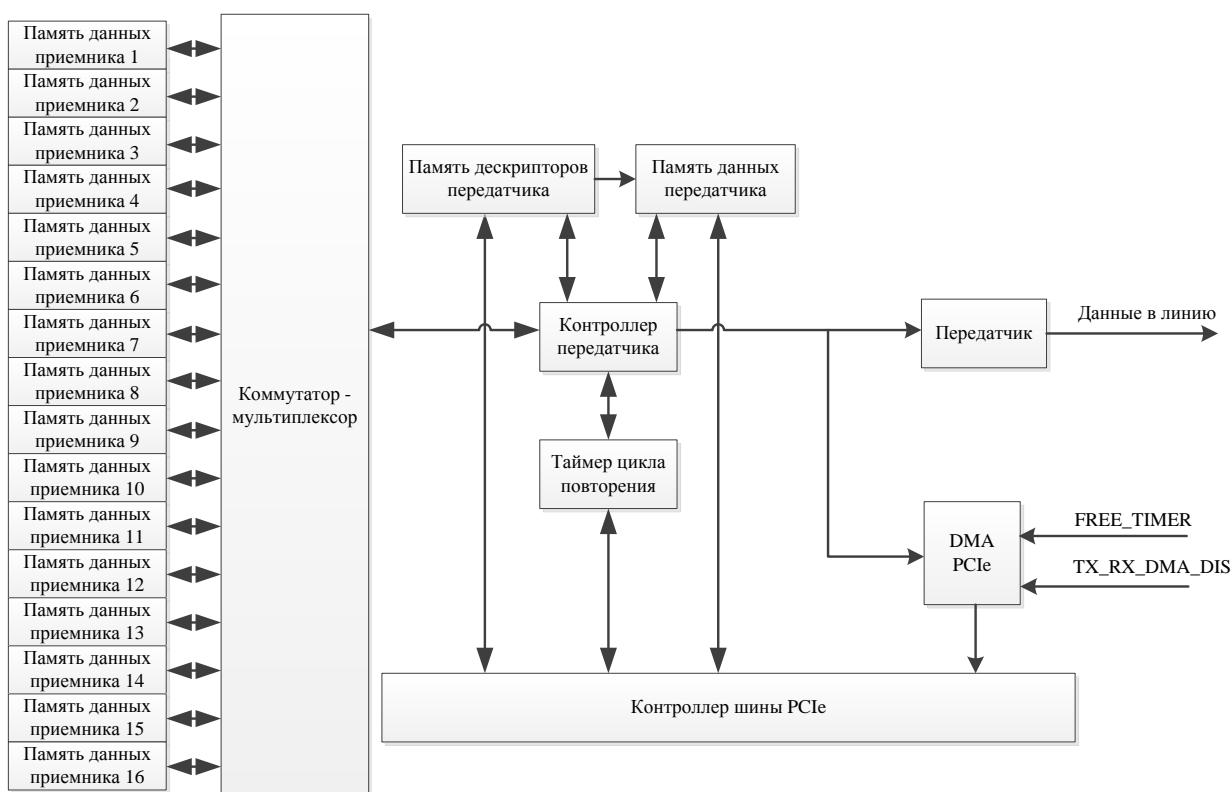


Рисунок 7. Структурная схема передатчика для режима 2 – режим работы коммутатора.

Данный режим отличается от режима 1 (режим работы с внутренней памятью передатчика) наличием коммутатора – мультиплексора, обеспечивающего контроллеру передатчика доступ к любому адресу любого канала памяти приемника. Механизм обращения к памяти приемника аналогичен механизму обращения к памяти передатчика. Различные коды операций, записанные в памяти дескрипторов, позволяют работать как с памятью передатчика, так и с памятью приемников.

## 7.1 Регистры передатчика

## 7.1.1 Регистр: TX\_CONF\_REG

Адрес: 1428h, 1468h, 14A8h, 14E8h, 1528h, 1568h, 15A8h, 15E8h, 1628h, 1668h, 16A8h, 16E8h, 1728h, 1768h, 17A8h, 17E8h, (каналов 1, 2, ... 16 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-
0	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	-	-	-	-	-	-	-	-
1	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	-	-	-	-	-	-	-	-
C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	-	-	-	-	-	-	-	-

Описание: Регистр конфигурации передатчика

Номер бита	Обозначение	Описание
31	TX_EN	Значение 1 разрешает работу канала передачи, значение 0 – запрещает.
30	TX_PARCHECK	Значение 1 разрешает вычисление четности разрядов 31 -1 передаваемого слова данных, значение 0 – запрещает. При разрешении вычисления четности в старший бит передаваемого слова (бит 32) записывается значение согласно установленному критерию вычисления.
29	TX_PARITY	Значение 0 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при нечетном количестве единиц в разрядах 31- 1 передаваемого слова данных. Значение 1 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при четном количестве единиц в разрядах 31- 1 передаваемого слова данных.
28	TX_REVERSE	Значение 1 устанавливает порядок бит в передаваемом слове данных в порядке 8,7,6,5,4,3,2,1,9,10,11...32. При значении 0 данные будут переданы без перестановки бит 1,2,3,4...32.
27-26	TX_MODE	Режим работы передатчика: Режим 0 - "00" – режим работы с FIFO. Режим 1 - "01" – режим работы с внутренней памятью передатчика. Режим 2 - "10" – режим работы коммутатора. Режим 3 - "11" – режим обратной связи (LOOP). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на выходе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. В остальном режим эквивалентен работе в режиме 0.
25-19	TX_GAP_BITS	Время паузы между сообщениями в единицах длительности бита. Значение бит должно быть не менее 4d и, не более 40d. При записи значений менее 4d на аппаратном уровне будет установлено значение 4d. При записи значений более 40d на аппаратном уровне будет установлено значение 40d. Возможна запись только промежуточных значений от 4d до 40d.
18-16	TX_RATE	Биты определяют скорость передачи данных. Значение "100" – скорость передачи данных 100 кбит/с Значение "010" – скорость передачи данных 12 – 14,5 кбит/с Значение "110" – скорость передачи данных 50 кбит/с <b><u>Значение "001" – скорость передачи устанавливается через значение делителя частоты TX_CUST_R. Этот режим</u></b>



		<b><u>используется только при полном понимании пользователя в необходимости данного режима.</u></b>
15-8	TX_CUST_R	Биты определяют значение для делителя частоты передачи. Значение частоты определяется как $2000000/\text{скорость передачи}$ . <b><u>Полученное значение должно находиться в пределах <math>2 &lt; X &lt; 180</math>.</u></b> <b><u>В противном случае запись 1 в поле TX_EN блокируется.</u></b>
7-0	-	Резерв

## 7.1.2 Регистр: TX\_CONTROL\_REG

Адрес: 142Ch, 146Ch, 14ACh, 14ECh, 152Ch, 156Ch, 15ACh, 15ECh, 162Ch, 166Ch, 16ACh, 16ECh, 172Ch, 176Ch, 17ACh, 17ECh, (каналов 1, 2, ... 16 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	-	-	-	-	R	R	R	R

Описание: регистр управления передатчиком

Номер бита	Обозначение	Описание
31-24	RRT_FB	Текущее значение таймера RRT в режимах 1 и 2.
23-17	-	Резерв.
16	TX_RR	Значение делителя частоты таймера RRT. <b><u>Значение может быть установлено только при установленном в 0 бите TX_EN регистра TX_CONF_REG. В противном случае запись не производится.</u></b> Значение 0 – 10 мс. Значение 1 – 1 мс.
15-8	TX_RRT	Период таймера RRT – максимальное значение таймера RRT, при достижении которого может быть произведен его перезапуск.
7-4	-	Резерв.
3	TX_SKIP_RRT	<u>При установленном в 1 бите TX_EN регистра TX_CONF_REG,</u> значение 1 позволяет не ожидать окончания работы таймера RRT в конце циклов для режима 1 и 2. Значение 0 останавливает выполнение цикла до конца работы таймера RRT = TX_RRT. В конце цикла таймер перезапускается и начинает новый отсчет со значения 0. Значение 1 позволяет в конце цикла перезапускать цикл с начала вне зависимости от значения таймера.
2	TX_START_STOP	<u>При установленном в 1 бите TX_EN регистра TX_CONF_REG,</u> значение 1 запускает циклическую работу передатчика в режимах 1 и 2. Значение 0 останавливает работу передатчика в режимах 1 и 2 после окончания текущего цикла. <i>Немедленная остановка работы передатчика (без ожидания конца цикла) осуществляется путем записи 0 в бит TX_EN регистра TX_CONF_REG.</i>
1	TX_START_ONES	<u>При установленном в 1 бите TX_EN регистра TX_CONF_REG,</u> значение 1 запускает однократное выполнение цикла передатчика в режимах 1 и 2. После окончания цикла бит сбрасывается в 0 аппаратно. <i>Немедленная остановка работы передатчика (без ожидания конца цикла) осуществляется путем записи 0 в бит TX_EN регистра TX_CONF_REG.</i>
0	TX_RAM_CLS	Бит очистки памяти передатчика. <b><u>Установка бита разрешена только при значении 0 бита TX_EN.</u></b> Значение бита сбрасывается в 0 аппаратно после выполнения процедуры очистки. Основное назначение очистки – сброс признака NEW_DATA. <u>Очистку рекомендуется производить перед началом работы с передатчиками, работающими в режимах 1 и 2, а так же после перезагрузки ПК. При аппаратном сбросе содержимое памяти не обнуляется. Время очистки памяти одного канала не более 3 мкс.</u>

## 7.1.3 Регистр: TX\_FIFO\_REG

Адрес: 1430h, 1470h, 14B0h, 14F0h, 1530h, 1570h, 15B0h, 15F0h, 1630h, 1670h, 16B0h, 16F0h, 1730h, 1770h, 17B0h, 17F0h, (каналов 1, 2, ... 16 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: слово данных для передачи из FIFO

Номер бита	Обозначение	Описание
31-0	FIFO_DAT	Слово данных записи в FIFO. Бит 31 соответствует биту 32, бит 0 соответствует биту 1 ГОСТ 18977-79. Структура устройства позволяет записывать данные до 4 слов подряд в одной транзакции (например, для канала 1 с адреса 1430h по адрес 143Ch). В линию биты передаются в порядке, определяемым значением бита «TX_REVERCE» регистра TX_CONF_REG.

## 7.2 Распределение памяти для работы с передатчиками (*только режимы работы 1 и 2*).

### 7.2.1 Память данных передатчиков (TX\_DATA\_RAM).

Адрес: 8000...83FCh, 8800...8BFCh, 9000...93FCh, 9800...9BFCh, A000...A3FCh, A800...ABFCh, B000...B3FCh, B800...BBFCh, C000...C3FCh, C800...CBFCh, D000...D3FCh, D800...DBFCh, E000...E3FCh, E800...EBFCh, F000...F3FCh, F800...FBFCh, (каналов 1, 2, ... 16 соответственно)

Структура данных:

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Бит 31 соответствует биту 32, бит 0 соответствует биту 1 ГОСТ 18977-79. В линию биты передаются в порядке, определяемым значением бита «TX\_REVERSE» регистра TX\_CONF\_REG.

### 7.2.2 Память дескрипторов передатчиков (TX\_DESC\_RAM).

Адрес: 8400...87FCh, 8C00...8FFCh, 9400...97FCh, 9C00...9FFCh, A400...A7FCh, AC00...AFFCh, B400...B7FCh, BC00...BFFCh, C400...C7FCh, CC00...CFFCh, D400...D7FCh, DC00...DFFCh, E400...E7FCh, EC00...EFFCh, F400...F7FCh, FC00...FFFCh, (каналов 1, 2, ... 16 соответственно)

Каждый дескриптор имеет следующий формат:

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
Отступ начала цикла (PTO)								Период повторения цикла (PTP)								Адрес (LABEL)								Код операции (op_code)				№ канала (chan_num)			

**Примечание:** поле «№ канала» используется только в режиме работы 2 передатчика.  
**Примечание:** поле «Адрес» в режимах 1 и 2 работы передатчика соответствует адресу памяти передатчиков в виде 00h – 8000h, FFh – 83FCh...  
**Примечание:** поле «Адрес» в режиме 2 работы передатчика соответствует адресу памяти приемников в виде: старший бит адреса – бит 1 принятого слова, младший бит адреса – бит 8 принятого слова (адрес всегда зеркален по отношению к принятым битам 8 – 1 сообщения). Для определения адреса используется или поле LABEL первого слова DMA приемника, или принятое слово данных с учетом значения бита RCV\_REVERSE приемника.  
**Напоминание:** данные в память приемника всегда записываются по декодированным адресам поля адреса принятого слова данных в порядке: старший бит адреса – бит 1 принятого слова, младший бит адреса – бит 8 принятого слова (адрес зеркален по отношению к принятым битам 8 – 1 сообщения, т.е. при получении младших 8 бит данных = 10000000, адрес = 00000001). Адрес записи не зависит от значения бита RCV\_REVERSE регистра RX\_CONF\_REG.

## 7.2.3 Коды операций контроллера передатчика:

Обозначение	Код	Название и условие	Описание
END	0000	Конец последовательности	Данная операция означает окончание цикла последовательности, в случаях, когда последовательность цикла меньше 256 адресов. Все остальные поля дескриптора, содержащего код данной операции игнорируются, счетчик адреса сбрасывается в 0. Цикл начинается сначала. Значение поля РТО не оказывает воздействия на выполнение операции.
DELAY	0001	Задержка	Задерживает начало передачи следующего сообщения на значение, содержащееся в поле РТР * 1 мс. При РТР = 0 дескриптор пропускается, остальные поля данного дескриптора игнорируются.
SEND_UNC	0010	Передать данные	Безусловная передача слова данных из памяти передатчика, адрес которого определен полем "LABEL". Значение поля РТО /= 0 пропускает выполнение операции для данного цикла.
SEND_COND	0011	Передать данные	Передача слова данных из памяти передатчика, адрес которого определен полем "LABEL" будет произведена только в том случае, когда по этому адресу находится «новое» слово (слово записано, но не было передано, признак NEW_BIT = 1). После передачи признак NEW_BIT будет сброшен в 0. Значение поля РТО /= 0 пропускает выполнение операции для данного цикла.
			<b><u>Операции с кодами 1010 – 1111 выполняются только в режиме 10 передатчика, в режиме 01 дескрипторы, содержащие данные коды игнорируются.</u></b>
RX_UNC	1010	Передать данные приемника	Безусловная передача слова данных из памяти приемника, адрес которого определен полем "chan_num", адрес внутри памяти приемника определен полем "LABEL". Значение поля РТО /= 0 пропускает выполнение операции для данного цикла.
RX_COND	1011	Передать данные приемника	Передача слова данных из памяти приемника, адрес которого определен полем "chan_num", адрес внутри памяти приемника определен полем "LABEL" будет произведена только в том случае, когда по этому адресу находится «новое» слово (слово записано, но не было передано, признак NEW_BIT = 1). После передачи признак NEW_BIT указанного адреса и канала будет сброшен в 0 только для канала передатчика, осуществившего запрос. Значение поля РТО /= 0 пропускает выполнение операции для данного цикла.

Обозначение	Код	Название и условие	Описание
RX_LBL_RU	1100	Передать данные приемника с заменой бит "LABEL"	Безусловная передача слова данных из памяти приемника, адрес которого определен полем "chan_num", адрес внутри памяти приемника определен полем "LABEL". При этом биты 7-0 памяти приемника будут заменены битами 7-0 памяти передатчика адресуемой полем "LABEL". Значение поля PTO /= 0 пропускает выполнение операции для данного цикла.
RX_LBL_RC	1101	Передать данные приемника с заменой бит "LABEL"	Передача слова данных из памяти приемника, адрес которого определен полем "chan_num", адрес внутри памяти приемника определен полем "LABEL" будет произведена только в том случае, когда по этому адресу находится «новое» слово (слово записано, но не было передано, признак NEW_BIT = 1). После передачи признак NEW_BIT указанного адреса и канала будет сброшен в 0 только для канала передатчика, осуществившего запрос. При этом биты 7-0 памяти приемника будут заменены битами 7-0 памяти передатчика адресуемой полем "LABEL". Значение поля PTO /= 0 пропускает выполнение операции для данного цикла.
RX_SDI_RU	1110	Передать данные приемника с заменой бит "SDI"	Безусловная передача слова данных из памяти приемника, адрес которого определен полем "chan_num", адрес внутри памяти приемника определен полем "LABEL". При этом биты 9-8 памяти приемника будут заменены битами 9-8 памяти передатчика адресуемой полем "LABEL". Значение поля PTO /= 0 пропускает выполнение операции для данного цикла.
RX_SDI_RC	1111	Передать данные приемника с заменой бит "SDI"	Передача слова данных из памяти приемника, адрес которого определен полем "chan_num", адрес внутри памяти приемника определен полем "LABEL" будет произведена только в том случае, когда по этому адресу находится «новое» слово (слово записано, но не было передано, признак NEW_BIT = 1). После передачи признак NEW_BIT указанного адреса и канала будет сброшен в 0 только для канала передатчика, осуществившего запрос. При этом биты 9-8 памяти приемника будут заменены битами 9-8 памяти передатчика адресуемой полем "LABEL". Значение поля PTO /= 0 пропускает выполнение операции для данного цикла.

## 7.2.4 Работа контроллера передатчика:

На рис. 8 представлен порядок обработки дескрипторов контроллером передатчика. Выполнение последовательности от дескриптора 0 до дескриптора 255 или дескриптора, содержащего код операции END является циклом. После окончания цикла адрес дескрипторов устанавливается в значение 0. При установке бита TX\_START\_ONES регистра TX\_CONTROL\_REG в состояние 1, цикл выполняется однократно, после окончания цикла бит TX\_START\_ONES сбрасывается в 0 автоматически. Бит TX\_START\_STOP того же регистра установленный в 1, обеспечивает непрерывное повторение выполнения цикла.

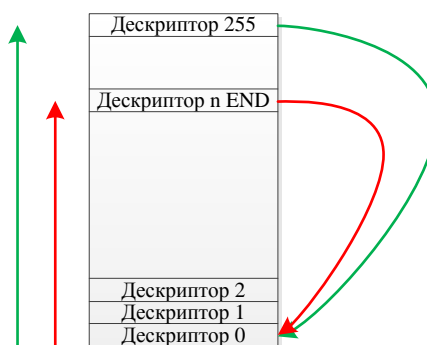


Рисунок 8. Порядок обработки дескрипторов.

Поля дескрипторов PTO (packet timer offset) – отступ начала цикла и PTP (packet timer period) – период выполнения цикла используются при совместной работе с таймером RRT (repetition rate timer) – таймер повтора. Иллюстрация выполнения дескрипторов, а так же изменение поля PTO, представлены на рис.9.

Время цикла ↑

Дескриптор 3	PTO = 0, PTP = 0	PTO = 0, PTP = 0	PTO = 0, PTP = 0	PTO = 0, PTP = 0	PTO = 0, PTP = 0	PTO = 0, PTP = 0	PTO = 0, PTP = 0
Выполнение	EXEQ	EXEQ	EXEQ	EXEQ	EXEQ	EXEQ	EXEQ
Результат PTO	PTO = 0, PTP = 0						
Дескриптор 2	PTO = 1, PTP = 0	PTO = 0, PTP = 0	PTO = 0, PTP = 0	PTO = 0, PTP = 0	PTO = 0, PTP = 0	PTO = 0, PTP = 0	PTO = 0, PTP = 0
Выполнение	SKIP	EXEQ	EXEQ	EXEQ	EXEQ	EXEQ	EXEQ
Результат PTO	PTO = 1, PTP = 1	PTO = 0, PTP = 1	PTO = 1, PTP = 1	PTO = 0, PTP = 1	PTO = 1, PTP = 1	PTO = 0, PTP = 1	PTO = 1, PTP = 1
Дескриптор 1	PTO = 0, PTP = 1	PTO = 1, PTP = 1	PTO = 0, PTP = 1	PTO = 1, PTP = 1	PTO = 0, PTP = 1	PTO = 1, PTP = 1	PTO = 0, PTP = 1
Выполнение	EXEQ	SKIP	EXEQ	SKIP	EXEQ	SKIP	EXEQ
Результат PTO	PTO = 0, PTP = 2	PTO = 2, PTP = 2	PTO = 1, PTP = 2	PTO = 0, PTP = 2	PTO = 2, PTP = 2	PTO = 1, PTP = 2	PTO = 0, PTP = 2
Дескриптор 0	PTO = 1, PTP = 2	PTO = 0, PTP = 2	PTO = 2, PTP = 2	PTO = 1, PTP = 2	PTO = 0, PTP = 2	PTO = 2, PTP = 2	PTO = 1, PTP = 2
Выполнение	SKIP	EXEQ	SKIP	SKIP	EXEQ	SKIP	SKIP
	Цикл 1	Цикл 2	Цикл 3	Цикл 4	Цикл 5	Цикл 6	Цикл 7

Общее время →

Рисунок 9. Иллюстрация выполнения дескрипторов, а так же изменение поля PTO.

На данной иллюстрации показана зависимость выполнения дескриптора от значения поля PTO. При значении PTO и PTP равном 0, код операции дескриптора выполняется всегда. В случае, когда  $PTO \neq 0$ , код операции не выполняется (за исключением кодов END и DELAY, которые выполняются всегда), значение PTO уменьшается на 1. Если  $PTO = 0$ , но  $PTP \neq 0$ , значение PTP переписывается в поле PTO, код дескриптора выполняется. Алгоритм изменения поля PTO дескриптора представлен на рис. 10.

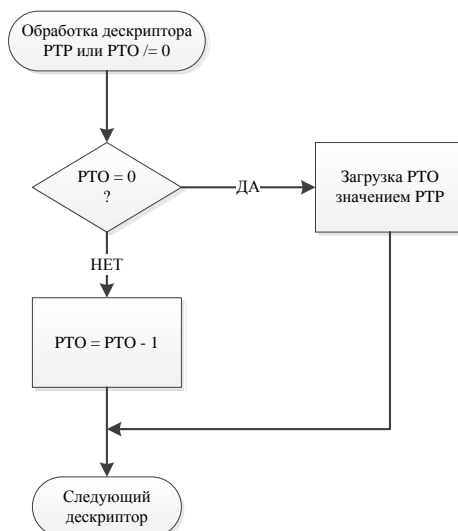
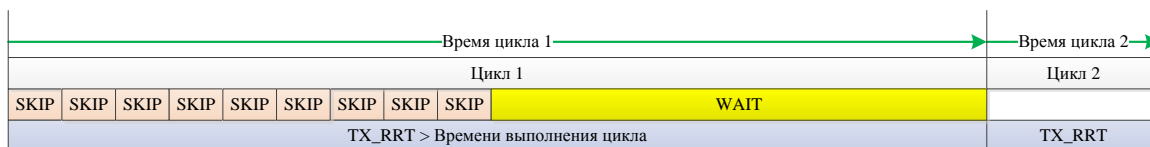


Рисунок 10. Алгоритм изменения поля РТО дескриптора.

При функционировании передатчика в режиме 2 и работой с памятью приемников возникает ситуация, когда приемники еще не получили данных, в результате передатчик выполняет «пустой цикл», длительность которого определяется только количеством обработанных дескрипторов без времени передачи данных. Для обеспечения постоянства циклов используется таймер RRT. При совместном использовании поля РТО  $\neq 0$  и таймера RRT в первом цикле выполнения дескрипторов, появляется возможность обеспечить постоянство выполнения первого и последующих циклов.

На рис.11 представлена связь длительности первого цикла и таймера RRT при РТО  $\neq 0$ .

Рисунок 11. Связь длительности первого цикла и таймера RRT, РТО  $\neq 0$ .

На рис.12 представлена связь длительности цикла и таймера RRT для различных ситуаций передачи данных.



Рисунок 12. Связь работы таймера RRT с различными ситуациями времени выполнения циклов.

Таймер RRT используется как вспомогательное средство сохранения длительности цикла. Достижение таймером значения  $= TX\_RRT$  проверяется только в конце цикла. Если таймер достиг заданного значения до окончания цикла – **цикл и таймер перезапускаются после передачи всех данных текущего цикла**. В противном случае – вначале происходит ожидание достижения таймером заданного значения TX\_RRT, затем



перезапуск цикла и таймера. Ожидание таймера можно отключить в любой момент времени установкой бита TX\_SKIP\_RRT = 1 в регистре TX\_CONTROL\_REG.

### 7.3 Порядок программирования передатчика

Перед очисткой памяти передатчика бит «TX\_EN» регистра TX\_CONF\_REG должен быть установлен в значение 0. Очистка памяти осуществляется записью в регистр TX\_CONTROL\_REG значения 00000001h. После окончания очистки бит «TX\_RAM\_CLS» сбрасывается в 0 автоматически.

Перед разрешением работы передатчика должны быть установлены в соответствующее значение биты 30 – 8 регистра TX\_CONF\_REG, а так же бит 16 (TX\_RR) регистра TX\_CONTROL\_REG. В начале, при значении 0 бита 31 регистра TX\_CONF\_REG, производится запись в регистр TX\_CONTROL\_REG. **Установка бит регистра TX\_CONF\_REG осуществляется записью в регистр необходимых значений с обязательно установленным в значение 0 битом 31.**

Запуск работы передатчика осуществляется записью в бит 31 регистра TX\_CONF\_REG значения 1, при этом значение бит 30 – 8 регистра не изменяется.

**Остановка работы передатчика производится путем записи в бит 31 регистра TX\_CONF\_REG значения 0, при этом могут быть переписаны значения бит 30 – 8 регистра TX\_CONF\_REG.**

## 7.4 Структура данных DMA для режимов передатчика

Служебная область DMA содержит различные статусы, время начала передачи сообщения, регистры ошибок и другие сервисные данные.

### 7.4.1 Слово 1

Номер бита	Обозначение	Описание
31	TX	Значение бита отражает источник данных: 1 – передатчик.
30	TX_PARCHHECK	Значение бита 30 регистра TX_CONF_REG.
29	TX_PARITY	Значение бита 29 регистра TX_CONF_REG.
28	TX_REVERCE	Значение бита 28 регистра TX_CONF_REG.
27-24	TX_CHAN_NUM	Номер канала передатчика.
23-22	SID	Значение бит 10 - 9 передаваемого сообщения согласно ГОСТ 18977-79
21-14	LABEL	Значение бит 8 - 1 передаваемого сообщения согласно ГОСТ 18977-79. <b><u>Данное значение всегда определено позиционным соответствием бит источника передачи данных и не зависит от значения бита TX_REVERCE.</u></b>
13-12	-	Резерв
11-4	TX_FIFO_DEEP/DESC_ADDR	В зависимости от режима передачи: Количество записанных в FIFO данных для режимов 0 и 3. Адрес дескриптора передачи для режимов 1 и 2.
3-2	-	Резерв
1-0	TX_MODE	Режим работы передатчика

### 7.4.2 Слово 2

Номер бита	Обозначение	Описание
31	TX	Значение бита отражает источник данных: 1 – передатчик.
30-8	-	Резерв
7-0	TX_RRT	Значение таймера RRT на начало момента передачи

### 7.4.3 Слово 3

Номер бита	Обозначение	Описание
31-0	FREE_TIMER	Текущее значение неуправляемого таймера на момент начала передачи данных с дискретностью 100 мкс.

### 7.4.4 Слово 4

Номер бита	Обозначение	Описание
31-0	DATA	Значение переданного слова данных. <b><u>Бит 31 определен конфигурацией бита четности в регистре TX_CONF_REG.</u></b> Биты 30-0 соответствуют битам 31-1 ГОСТ 18977-79. <b><u>Порядок вывода бит 7-0 (8-1 ГОСТ 18977-79) определен значением поля TX_REVERCE регистра TX_CONF_REG.</u></b>

**Список исправлений и изменений.**

Версия	Дата	Изменение
1.00	21.07.2020	Документ создан.
1.01	25.09.2020	Незначительные правки.
1.02	30.09.2020	В пп.7.2.2 Память дескрипторов передатчиков (TX_DESC_RAM) добавлено Примечание.
1.03	26.01.2021	Незначительные правки.
1.04	12.02.2021	Добавлены идентификаторы устройств на шине PCIe в конструктиве ХМС. ClassCode изменён на 0x028000. Добавлено описание аппаратного ограничения бит TX_GAP_BITS регистра TX_CONF_REG.
1.05	19.03.2021	Описание регистров: прерывания <b><u>INTERRUPT</u></b> и маски прерывания <b><u>INTERRUPT_MASK</u></b> расширено до 16 каналов.