



**Руководство (v1.05)**

**По программированию модулей  
“xPCIe-708UD2”**

Интерфейс ARINC – 708

**25.03.2021**

**ООО “НОВОМАР”**

## Оглавление

<b>1</b>	<b>Область применения</b> .....	4
<b>2</b>	<b>Расшифровка наименования модуля</b> .....	5
<b>3</b>	<b>Термины определения и сокращения</b> .....	6
<b>4</b>	<b>Структурная схема модуля mPCIe-708UD2</b> .....	7
<b>5</b>	<b>Управление режимами работы и функциями модуля</b> .....	10
	<b>5.1 Основные сервисные регистры модуля и регистры DMA</b> .....	10
	5.1.1 Регистр: DMA_DATA_BASE .....	10
	5.1.2 Регистр: DMA_INDEX .....	11
	5.1.3 Регистр: INTERRUPT .....	12
	5.1.4 Регистр: INTERRUPT MASK.....	13
	5.1.5 Регистр: ARINC429_DMA_DISABLE .....	14
	5.1.6 Регистр: CTR_TIMEOUT_ABSOLUTE <sub>x</sub> .....	15
	5.1.7 Регистр: CTR_TIMEOUT_INTERVAL <sub>x</sub> .....	16
	5.1.8 Регистр: CTR_DATA_COUNTER <sub>x</sub> .....	17
	<b>5.2 Регистры Разовых Команд</b> .....	18
	5.2.1 Регистр: ARINC429_SC_OUT.....	18
	5.2.2 Регистр: ARINC429_SC_IN.....	18
	5.2.3 Регистр: ARINC429_SC_INT_MASK.....	19
<b>6</b>	<b>Работа приемника ARINC-429</b> .....	20
	<b>6.1 Регистры управления приемником</b> .....	21
	6.1.1 Регистр: LBL_CONF_REG_PCI_0.....	21
	6.1.2 Регистр: LBL_CONF_REG_PCI_1.....	21
	6.1.3 Регистр: LBL_CONF_REG_PCI_2.....	22
	6.1.4 Регистр: LBL_CONF_REG_PCI_3.....	22
	6.1.5 Регистр: LBL_CONF_REG_PCI_4.....	23
	6.1.6 Регистр: LBL_CONF_REG_PCI_5.....	23
	6.1.7 Регистр: LBL_CONF_REG_PCI_6.....	24
	6.1.8 Регистр: LBL_CONF_REG_PCI_7.....	24
	6.1.9 Регистр: RX_CONF_REG_429 .....	25
	<b>6.2 Порядок программирования приемника ARINC-429</b> .....	26
	<b>6.3 Структура данных DMA для режима приемника ARINC-429</b> .....	27
	6.3.1 Область DMA. ....	27
<b>7</b>	<b>Работа передатчика ARINC-429</b> .....	28
	<b>7.1 Регистры передатчика ARINC-429</b> .....	30
	7.1.1 Регистр: TX_CONF_REG_429 .....	30
	7.1.2 Регистр: TX_CONTROL_REG_429 .....	31
	7.1.3 Регистр: TX_FIFO_REG_429 .....	32
	<b>7.2 Распределение памяти для работы с передатчиками ARINC-429</b> <i>(только режим работы 1)</i> .....	33
	7.2.1 Память данных передатчиков (TX_DATA_RAM).....	33
	7.2.2 Память дескрипторов передатчиков (TX_DESC_RAM).....	33
	7.2.3 Коды операций контроллера передатчика: .....	33

7.2.4	Работа контроллера передатчика ARINC-429: .....	34
<b>7.3</b>	<b>Порядок программирования передатчика ARINC-429.....</b>	<b>37</b>
<b>7.4</b>	<b>Структура данных DMA для режимов передатчика ARINC-429. ..</b>	<b>38</b>
7.4.1	Слово 1 .....	38
7.4.2	Слово 2 .....	38
7.4.3	Слово 3 .....	38
7.4.4	Слово 4 .....	38
<b>8</b>	<b>Работа канала ARINC-708. ....</b>	<b>39</b>
<b>8.1</b>	<b>Регистры каналов ARINC-708.....</b>	<b>40</b>
8.1.1	Регистр: RX_CONF_REG_708 .....	40
8.1.2	Регистр: TX_CONF_REG_708 .....	41
8.1.3	Регистр: TX_TIME_REG_708 .....	42
8.1.4	TX708_DAT_BLOCK1.....	42
8.1.5	TX708_DAT_BLOCK2.....	43
8.1.6	TX708_DAT_BLOCK3.....	43
8.1.7	TX708_DAT_BLOCK4.....	44
8.1.8	TX708_DAT_BLOCK5.....	44
8.1.9	TX708_DAT_BLOCK6.....	45
8.1.10	TX708_DAT_BLOCK7.....	45
8.1.11	TX708_DAT_BLOCK8.....	46
<b>8.2</b>	<b>Порядок программирования канала ARINC-708.....</b>	<b>47</b>
8.2.1	Приемник. ....	47
8.2.2	Передатчик в режиме «однократная передача блока данных №1». 47	
8.2.3	Передатчик в режиме «автоматическая передача блоков данных». 47	
<b>8.3</b>	<b>Область DMA ARINC - 708. ....</b>	<b>49</b>
8.3.1	Слово 1 .....	49
8.3.2	Слово 2 .....	49
8.3.3	Слова 3 - 52 .....	49
<b>9</b>	<b>Перечень вносимых изменений.....</b>	<b>50</b>

## 1 Область применения

Настоящее руководство действительно для модулей:

**"PCIe-708UD2"**

**"mPCIe-708UD2"**

Модули **"PCIe-708UD2"**, **"mPCIe-708UD2"** интерфейса ARINC 708 разработаны специально для использования с бортовыми метеорологическими радиолокационными системами. Интерфейс ARINC 708 обычно используется для отображения выходных данных радара на дисплее погодного радара. Подключения к ПК модулей осуществляется по магистралям МКИО ГОСТ Р 52070-2003 (MIL-STD-1553B).

Интерфейс ARINC 708 является производным от технологии MIL-STD 1553, разработан специально для использования с бортовыми метеорологическими радиолокационными системами. Слова данных имеют длину 1600 бит. Режим работы ARINC 708, приемник/передатчик задается программно.

Модули **"PCIe708UD2"**, **"mPCIe-708UD2"** обеспечивают подключение ПК к двум последовательным интерфейсам ARINC-708 и до 6 интерфейсов ARINC-429.

Модули **"PCIe-708UD2"** имеют 2 приёмопередатчика ARINC-708, 2 передатчика и 4 приёмников ARINC-429 (последовательный код- ПК по ГОСТ 18977-79, и РТМ1495-75).

Модуль **"PCIe708UD2"** выполнен в формате платы расширения для ПК, устанавливаемой в слот PCI Express v.1.1 x1.

Модули **"PCIe-708UD2"** рассчитаны на применение в промышленных условиях эксплуатации и расширенного температурного диапазона от минус **40°C** до **+70°C**.

Модули **"mPCIe-708UD2"** имеют 2 приёмопередатчика ARINC-708, 2 передатчика и 4 приёмников ARINC-429 (последовательный код- ПК по ГОСТ 18977-79, и РТМ1495-75), 1 вход и 1 выход разовых команд.

Модуль **"mPCIe-708UD2"** выполнен в формате платы PCI Express Mini Card.

Модули **"mPCIe-708UD2"** рассчитаны на применение в тяжелых условиях эксплуатации и расширенного температурного диапазона от минус **60°C** до **+85°C**.

Идентификатор на шине PCI-Express.

Поле	Значение	
	mPCIe-708UD2	PCIe-708UD2
Vendor ID	0xA203	0xA203
Device ID	0x9479	0x9480
Revision ID	0x01	0x01
SubVendor ID	0xA203	0xA203
SubDevice ID	0x9479	0x9480
ClassCode	0x078000	0x078000

## 2 Расшифровка наименования модуля.

<u>mPCIe-</u>	<u>708</u>	<u>UD</u>	<u>2</u>	<u>-60</u>
<i>1</i>	<i>2</i>	<i>3</i>	<i>4</i>	<i>5</i>

1.Форм фактор модуля и интерфейс подключения к ПК:

- **PCIe** – PCI Express Card;
- **mPCIe** – PCI Express Mini Card;

2.Тип линии и протокол обмена:

- **708** – интерфейсы ARINC-708, последовательный интерфейс ARINC429 (последовательный код- ПК по ГОСТ 18977-79 и РТМ1495-75) и дискретные каналы (Разовые Команды - РК) по ГОСТ 18977-79;

3.Функциональное назначение:

- **UD** – Универсальное устройство;

4. Число каналов:

- **2** – 2 канала ARINC-708;

5. Температурный диапазон:

- **пробел** минус 40...+70 для исполнения **PCIe** (минус 40...+85 **mPCIe**);
- **50** – минус 50...+85 для исполнения **mPCIe**;
- **60** – минус 60...+85 для исполнения **mPCIe**;

### 3 Термины определения и сокращения.

Список сокращений:

- ПК - персональный компьютер;
- СД - слово данных;
- DMA - прямой доступ к памяти;
- ПО - программное обеспечение;
- РК – Разовая Команда по ГОСТ 18977-79;

#### 4 Структурная схема модуля mPCIe-708UD2



Рисунок 1. Структура модуля.

Модуль состоит из следующих основных компонентов:

- **4** независимых приемника шины ГОСТ 18977-79 (ARINC-429), обеспечивающих прием данных с возможностью фильтрации адресов;
- **2** независимых канала передатчиков ГОСТ 18977-79 (ARINC-429), обеспечивающих возможность передачи данных в одном из трех режимов, а так же организацию режима самотестирования (тест – петля);
- неуправляемый 32-х разрядный таймер (FREE\_TIMER), обеспечивающий каждую транзакцию DMA метками реального времени с дискретностью 100 мкс;
- **1** входной канал для приёма Разовых команд с возможностью генерации прерываний по любому фронту РК (для mPCIe-708UD2);
- **1** выходной канал для выдачи Разовых команд (для mPCIe-708UD2);
- **2** независимых канала приема/передачи ARINC-708 (MIL1553);
- контроллер шины PCIe с функцией DMA, обеспечивающий возможность управления и обмена данными с ПК, а так же содержащий основные регистры необходимые для функций DMA и обработки прерываний, служебные регистры для обеспечения сервисных функций устройства;
- вспомогательные компоненты, обеспечивающие работоспособность и сервисные функции модуля (на схеме не указаны).

Таблица 1 описывает регистры модуля их название, адрес и возможные операции с регистром: запись – **W**, чтение – **R**, запись и чтение – **R/W**.

Таблица 1

Адрес	Название	Read/Write	Описание
1000h	<a href="#"><u>DMA_DATA_BASE</u></a>	R/W	Базовый адрес буфера данных в памяти ПК
1038h	<a href="#"><u>ARINC429_DMA_DISABLE</u></a>	R/W	Запрещение работы каналов
1040h, 1044h, 1048h	<a href="#"><u>DMA_INDEX</u></a>	R/W	Указатель записи в буфере данных
100Ch	<a href="#"><u>INTERRUPT</u></a>	R	Статус прерываний
1010h	<a href="#"><u>INTERRUPT_MASK</u></a>	R/W	Маска прерываний
1050h, 1054h, 1058h	<a href="#"><u>CTR_TIMEOUT_ABSOLUTE</u></a>	R/W	Регистр абсолютного таймера
1060h, 1064h, 1068h	<a href="#"><u>CTR_TIMEOUT_INTERVAL</u></a>	R/W	Регистр интервального таймера

1070h, 1074h, 1078h	<a href="#"><u>CTR DATA COUNTER</u></a>	R/W	Регистр счётчика данных.
1080h	<a href="#"><u>ARINC429 SC OUT</u></a>	R/W	Выходной регистр ПК
1084h	<a href="#"><u>ARINC429 SC IN</u></a>	R	Входной регистр ПК
1088h	<a href="#"><u>ARINC429 SC INT MASK</u></a>	R/W	Маска прерываний ПК
1400h, + Nch *40h.	<a href="#"><u>LBL CONF REG PCI 0</u></a>	W	Регистр разрешения приема данных
1404h, + Nch *40h.	<a href="#"><u>LBL CONF REG PCI 1</u></a>	W	Регистр разрешения приема данных
1408h, + Nch *40h.	<a href="#"><u>LBL CONF REG PCI 2</u></a>	W	Регистр разрешения приема данных
140Ch, + Nch *40h.	<a href="#"><u>LBL CONF REG PCI 3</u></a>	R/W	Регистр разрешения приема данных
1410h, + Nch *40h.	<a href="#"><u>LBL CONF REG PCI 4</u></a>	R/W	Регистр разрешения приема данных
1414h, + Nch *40h.	<a href="#"><u>LBL CONF REG PCI 5</u></a>	W	Регистр разрешения приема данных
1418h, + Nch *40h.	<a href="#"><u>LBL CONF REG PCI 6</u></a>	W	Регистр разрешения приема данных
141Ch, + Nch *40h.	<a href="#"><u>LBL CONF REG PCI 7</u></a>	W	Регистр разрешения приема данных
1420h, + Nch *40h.	<a href="#"><u>RX CONF REG 429</u></a>	W	Регистр конфигурации приемника А-429
1428h, + Nch *40h.	<a href="#"><u>TX CONF REG 429</u></a>	R/W	Регистр конфигурации передатчика А-429
142Ch, + Nch *40h.	<a href="#"><u>TX CONTROL REG 429</u></a>	R/W	Регистр управления передатчиком А-429
1430h, + Nch *40h.	<a href="#"><u>TX FIFO REG 429</u></a>	R/W	Слово данных для передачи из FIFO А-429
1500h, + Nch *40h.	<a href="#"><u>RX CONF REG 708</u></a>	R/W	Регистр управления приемником ARINC-708
1528h, + Nch *40h.	<a href="#"><u>TX CONF REG 708</u></a>	R/W	Регистр управления передатчиком ARINC-708
152Ch, + Nch *40h.	<a href="#"><u>TX TIME REG 708</u></a>	R/W	Регистр интервального таймера передатчика ARINC-708
8000...83FCh, + Nch *800h.	<a href="#"><u>TX DATA RAM</u></a>	R/W	Память данных передатчиков А-429
8400...87FCh, + Nch *800h.	<a href="#"><u>TX DESC RAM</u></a>	R/W	Память дескрипторов передатчиков А-429
9000...90C4h, + Nch *800h.	<a href="#"><u>TX708 DAT BLOCK1</u></a>	R/W	Блок данных 1 (строка) передатчика ARINC-708
9100...91C4h, + Nch *800h.	<a href="#"><u>TX708 DAT BLOCK2</u></a>	R/W	Блок данных 2 (строка) передатчика ARINC-708
9200...92C4h, + Nch *800h.	<a href="#"><u>TX708 DAT BLOCK3</u></a>	R/W	Блок данных 3 (строка) передатчика ARINC-708
9300...93C4h, + Nch *800h.	<a href="#"><u>TX708 DAT BLOCK4</u></a>	R/W	Блок данных 4 (строка) передатчика ARINC-708
9400...94C4h, + Nch *800h.	<a href="#"><u>TX708 DAT BLOCK5</u></a>	R/W	Блок данных 5 (строка) передатчика ARINC-708
9500...95C4h, + Nch *800h.	<a href="#"><u>TX708 DAT BLOCK6</u></a>	R/W	Блок данных 6 (строка) передатчика ARINC-708
9600...96C4h, + Nch *800h.	<a href="#"><u>TX708 DAT BLOCK7</u></a>	R/W	Блок данных 7 (строка) передатчика ARINC-708
9700...97C4h, + Nch *800h.	<a href="#"><u>TX708 DAT BLOCK8</u></a>	R/W	Блок данных 8 (строка) передатчика ARINC-708



Адреса регистров указаны в виде смещения от базового адреса BAR0 устройства на шине PCI.

Запись в регистры должна производиться словами не менее 32 бит.

## 5 Управление режимами работы и функциями модуля.

### 5.1 Основные сервисные регистры модуля и регистры DMA.

#### 5.1.1 Регистр: DMA\_DATA\_BASE

Адрес: 1000h

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	-	-	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
Номер бита																															
63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

Описание: базовый адрес буфера данных в памяти ПК (64бит)

Номер бита	Обозначение	Описание
63-8	DATA_BAR	Базовый адрес буфера данных.
7-1	RSRV	Не используются, должны быть "0".
0	DMA_EN	Разрешение работы DMA: "0" - выключено "1" - включено

Данные записываются в память РС в 3 кольцевых буфера размером 1Мб каждый:

- **Канал DMA 1** - смещение "+000000" – все каналы ARINC-429;
- **Канал DMA 2** - смещение "+100000" – канал 1 ARINC-708;
- **Канал DMA 3** - смещение "+200000" – канал 2 ARINC-708;

Данные в буфере записываются от младших адресов к старшим.

Данные записываются блоками по 16 байт для ARINC-429. Для ARINC-708 блок может иметь размер 16 или 208 байт, но инкремент адреса всегда делается по 256 байт. [«6.3 Структура данных DMA для режима приемника»](#) и [«7.4 Структура данных DMA для режимов передатчика»](#) и [«8.3 Область DMA ARINC – 708»](#).

По заполнению половины буфера и 1/16 (512 Кб и 64Кб, соответственно) генерируются прерывания, отображаемые в регистре **INTERRUPT**.

5.1.2 Регистр: DMA\_INDEX

Адрес: 1040h (канал DMA 1), 1044h (канал DMA 2), 1048h (канал DMA 3)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-
												W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W				

Описание: указатель записи в буфере данных.

Номер бита	Обозначение	Описание
31-20	RSRV	Не используются, должны быть "0".
19-4	DATA_INDEX	Указатель записи в буфере данных. Для каналов ARINC-708 биты 4..7 всегда равны нулю.
3-0	RSRV	Не используются, "0".
При записи любого значения в регистр указатель сбрасывается в "0"		

Работа буфера данных производится по схеме FIFO.

Программа-драйвер должна иметь счетчик чтения данных. При старте системы оба счетчика равны нулю. При получении прерывания должен считываться указатель записи и сравниваться с указателем чтения. Если они различаются, то обрабатываются данные от указателя чтения (включительно) до указателя записи (исключая его) с учетом перехода через 0.



Рисунок 2. Указатели в буфере DMA.

При записи любого значения в регистр указателя записи **DMA\_INDEX** он сбрасывается в '0'. Драйвер устройства должен отслеживать событие переполнения буферов данных в памяти ПК.

При необходимости, если ПК не успевает забирать данные, записанные платой, возможна временная остановка передачи данных в память ПК – сброс бита 0 регистра **DMA\_DATA\_BASE**. Для последующего запуска бит нужно снова установить в '1'.



## 5.1.4 Регистр: INTERRUPT MASK

Адрес: 1010h

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	-	-	-	-	-	-	-	R	-	R	R	R	R	-	R	R
												W	W	W	W								W		W	W	W	W		W	W

Описание: регистр маски прерываний

Номер бита	Обозначение	Описание
31..20	RSRV	Не используются, "0".
19	ARINC429_INT_CH4	Разрешение прерывания канала 4 ARINC429.
18	ARINC429_INT_CH3	Разрешение прерывания канала 3 ARINC429.
17	ARINC429_INT_CH2	Разрешение прерывания канала 2 ARINC429.
16	ARINC429_INT_CH1	Разрешение прерывания канала 1 ARINC429.
15..9	RSRV	Не используются, "0".
8	ARINC429_INT_SC1	Разрешение прерывания входных Разовых Команд линия 1.
7	RSRV	Не используются, "0".
6	INT_TIMEOUT_ABS	Разрешение прерывания абсолютного таймера DMA.
5	INT_TIMEOUT_ITV	Разрешение прерывания интервального таймера DMA.
4	INT_DATA_CNT	Разрешение прерывания счётчика данных DMA
3	INT_FLASH	Разрешение прерывания контроллера флэш-памяти.
2	RSRV	Не используются, "0".
1	INT_QDAT	Разрешение прерывания по заполнению 1/16 буфера данных контроллера 1.
0	INT_HDAT	Разрешение прерывания по заполнению половины буфера данных контроллера 1
		0 – прерывание запрещено, 1 – разрешено

Генерация прерывания по каждому из событий может быть запрещена сбросом (установкой в 0) или разрешена (установкой в 1) соответствующего бита в регистре маски прерываний **INTERRUPT MASK**. Однако, независимо от значения маски, события продолжают отображаться в регистре прерывания. По умолчанию, после системного сброса все прерывания запрещены.

## 5.1.5 Регистр: ARINC429\_DMA\_DISABLE

Адрес: 1038h

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
.	.	.	.	.	.	.	.	.	.	.	.	.	.	R	R	.	.	.	.	.	.	.	.	.	.	.	.	.	R	R	R	R
														W	W													W	W	W	W	

Описание: Регистр выключения выключения DMA для отдельных каналов ARINC429.

Номер бита	Обозначение	Описание
31..18	RSRV	Не используются, "0".
17	DIS_TX_CH2	Выключение DMA для канала 2 передачи ARINC429
16	DIS_TX_CH1	Выключение DMA для канала 1 передачи ARINC429
15..4	RSRV	Не используются, "0".
3	DIS_RX_CH4	Выключение DMA для канала 4 приёма ARINC429
2	DIS_RX_CH3	Выключение DMA для канала 3 приёма ARINC429
1	DIS_RX_CH2	Выключение DMA для канала 2 приёма ARINC429
0	DIS_RX_CH1	Выключение DMA для канала 1 приёма ARINC429

5.1.6 Регистр: CTR\_TIMEOUT\_ABSOLUTE<sub>x</sub>

Адрес: 1050h(канал DMA 1), 1054h(канал DMA 2), 1058h(канал DMA 3)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
								W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Регистр абсолютного таймера.

Номер бита	Обозначение	Описание
31-24	RSRV	Не используются, должны быть "0".
23-0	TIMER	Значение таймера в микросекундах.

Абсолютный таймер запускается по получении первого сообщения из соответствующего канала DMA с момента последнего прерывания. После получения каждого последующего кадра счетчик не сбрасывается.

По достижении заданного значения в регистре **INTERRUPT** будет установлен соответствующий бит и сгенерировано прерывание (если данное прерывание разрешено). Таймер останавливается без рестарта при достижении установленного значения. Таймер может использоваться для чтения всех принятых сообщений за определённый временной период.

5.1.7 Регистр: CTR\_TIMEOUT\_INTERVALx

Адрес: 1060h(канал DMA 1), 1064h(канал DMA 2), 1068h(канал DMA 3)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
-	-	-	-	-	-	-	-	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Регистр интервального таймера.

Номер бита	Обозначение	Описание
31-24	RSRV	Не используются, должны быть "0".
23-0	TIMER	Значение таймера в микросекундах.

Интервальный таймер запускается по получении каждого сообщения из соответствующего канала DMA. То есть, после записи каждого последующего кадра счетчик будет сброшен и продолжит отсчет с нуля.

По достижении заданного значения в регистре **INTERRUPT** будет установлен бит 27 - 24 (INT\_TIMEOUT\_ITVx) и сгенерировано прерывание (если данное прерывание разрешено). Таймер останавливается без рестарта при достижении установленного значения. Таймер может быть использован для отслеживания редких сообщений в канале.

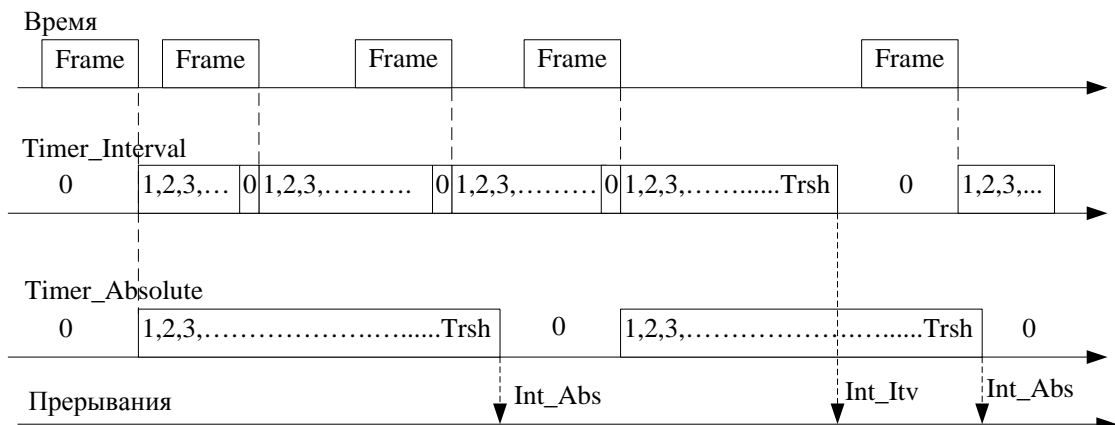


Рисунок 3. Работа интервального и абсолютного таймеров.

Единица счета абсолютного и интервального таймеров – 1 мкс.



## 5.1.8 Регистр: CTR\_DATA\_COUNTERx

Адрес: 1070h(канал DMA 1), 1074h(канал DMA 2), 1078h(канал DMA 3)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
																		W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Регистр счётчика данных.

Номер бита	Обозначение	Описание
31-14	RSRV	Не используются, должны быть "0".
13-0	COUNT	Значение счётчика сообщений.

Счётчик данных считает сообщения.

По достижении заданного значения в регистре **INTERRUPT** будет установлен бит и сгенерировано прерывание (если данное прерывание разрешено). Таймер останавливается без рестарта при достижении установленного значения. Таймер может быть использован для накопления определённого количества сообщений, принятых из канала DMA.

## 5.2 Регистры Разовых Команд.

### 5.2.1 Регистр: ARINC429\_SC\_OUT

Адрес: 1080h

Номер бита																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	W	R
																																W	W

Описание: Выходной регистр Разовых Команд.

Структура данных на запись:

Номер бита	Обозначение	Описание
31-2	RSRV	Не используются, "0".
1-0	SC1	ПК канал 1

Запись РК каждого канала происходит с помощью двух бит:  
 "01" – Установить РК в «1» (активировать линию РК)  
 "10" – Сбросить РК в «0» (деактивировать линию РК)  
 "00", "11" – не менять значение РК

Структура данных на чтение:

Номер бита	Обозначение	Описание
31-1	RSRV	Не используются, "0".
0	SC1	ПК канал 1

После сброса все линии РК находятся в деактивированном состоянии

### 5.2.2 Регистр: ARINC429\_SC\_IN

Адрес: 1084h

Номер бита																																		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	R	R	R	R

Описание: Входной регистр Разовых Команд.

Структура данных на чтение:

Номер бита	Обозначение	Описание
31-1	RSRV	Не используются, "0".
0	SC1	ПК канал 1

## 5.2.3 Регистр: ARINC429\_SC\_INT\_MASK

Адрес: 1088h

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R	-	-	-	R
																											W				W

Описание: Маска прерываний Разовых Команд.

Структура данных:

Номер бита	Обозначение	Описание
31-5	RSRV	Не используются, "0".
4	SC1_RISE	Разрешение прерывания по нарастающему фронту РК канал 1, наличие сигнала
3-1	RSRV	Не используются, "0".
0	SC1_FALL	Разрешение прерывания по спадающему фронту РК канал 1, отсутствие сигнала

## 6 Работа приемника ARINC-429.

Приемник может принимать данные со скоростью 12 – 14,5 кбит/с, 50 кбит/с и 100 кбит/с. Так же предусмотрен тестовый режим, позволяющий пользователю устанавливать частоту приема до 1 мбит/с. В приемнике реализована проверка данных на четность, проверка длительности паузы между сообщениями. Так же реализована фильтрация сообщений по адресам и оценка длительности битового интервала с точностью  $\pm 10\%$ .

Структурная схема приемника представлена на рисунке 4.

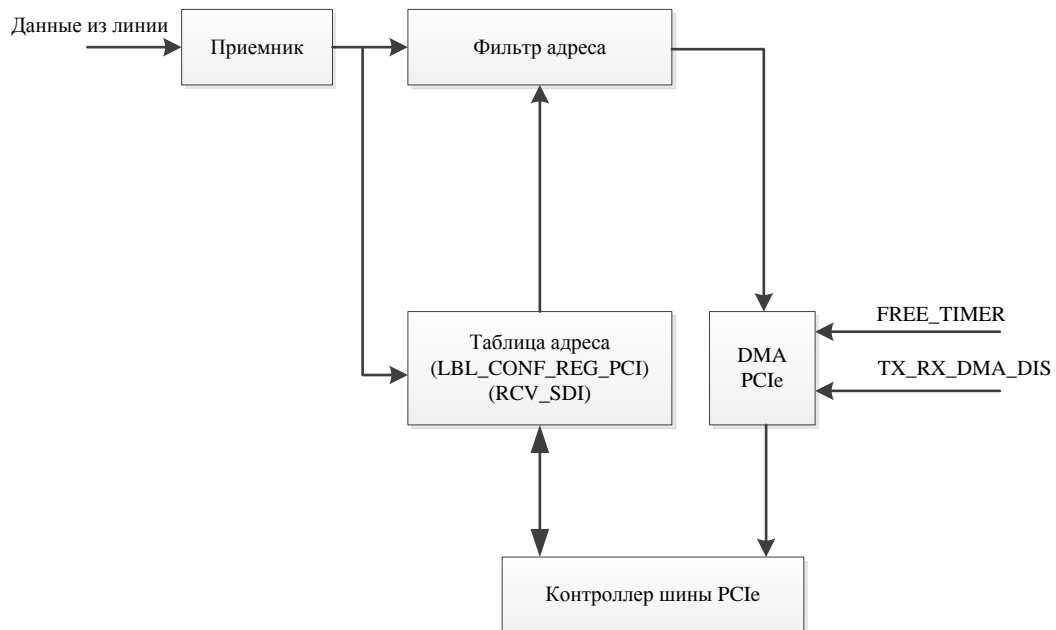


Рисунок 4. Структурная схема одного канала приемника.

Приемник состоит из собственно, приемника, декодирующего сигнал, приходящий из линии, таблицы фильтрации адресов, фильтра адресов, памяти данных и блока DMA PCIe для передачи принятых данных на шину PCIe.

Принятые и отфильтрованные данные поступают в блок DMA PCIe, где снабжаются 2 словами статуса и меткой времени, соответствующей окончанию приема слова данных ([6.3 Структура данных DMA для режима приемника](#)). При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита TX\_RX\_DMA\_DIS для данного канала.

## 6.1 Регистры управления приемником.

### 6.1.1 Регистр: LBL\_CONF\_REG\_PCI\_0

Адрес: 1400h, 1440h, 1480h, 14C0h (каналов 1,2,3 и 4 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 0-31	Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 0 – 31 (адресу 0 соответствует бит 0, адресу 31 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

### 6.1.2 Регистр: LBL\_CONF\_REG\_PCI\_1

Адрес: 1404h, 1444h, 1484h, 14C4h (каналов 1,2,3 и 4 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 32-63	Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 32 – 63 (адресу 32 соответствует бит 0, адресу 63 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.3 Регистр: LBL\_CONF\_REG\_PCI\_2

Адрес: 1408h, 1448h, 1488h, 14C8h (каналов 1,2,3 и 4 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 64-95	Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 64 – 95 (адресу 64 соответствует бит 0, адресу 95 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERSE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.4 Регистр: LBL\_CONF\_REG\_PCI\_3

Адрес: 140Ch, 144Ch, 148Ch, 14CCh (каналов 1,2,3 и 4 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 96-127	Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 96 – 127 (адресу 96 соответствует бит 0, адресу 127 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERSE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.5 Регистр: LBL\_CONF\_REG\_PCI\_4

Адрес: 1410h, 1450h, 1490h, 14D0h (каналов 1,2,3 и 4 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 128-159	Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 128 – 159 (адресу 128 соответствует бит 0, адресу 159 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.6 Регистр: LBL\_CONF\_REG\_PCI\_5

Адрес: 1414h, 1454h, 1494h, 14D4h (каналов 1,2,3 и 4 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 160-191	Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 160 – 191 (адресу 160 соответствует бит 0, адресу 191 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.7 Регистр: LBL\_CONF\_REG\_PCI\_6

Адрес: 1418h, 1458h, 1498h, 14D8h (каналов 1,2,3 и 4 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 192-223	Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 192 – 223 (адресу 192 соответствует бит 0, адресу 223 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERSE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

## 6.1.8 Регистр: LBL\_CONF\_REG\_PCI\_7

Адрес: 141Ch, 145Ch, 149Ch, 14DCh (каналов 1,2,3 и 4 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Разрешение или запрещение приема данных соответствующего адреса.

Номер бита	Обозначение	Описание																													
31-0	LBL 224-255	Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 224 – 255 (адресу 224 соответствует бит 0, адресу 255 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERSE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79.																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1



## 6.1.9 Регистр: RX\_CONF\_REG\_429

Адрес: 1420h, 1460h, 14A0h, 14E0h (каналов 1,2,3 и 4 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	-	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-	-	-	-	R	R	R
0	W	W	W	-	W	W	W	W	W	W	W	W	W	W	W	W	W	-	-	-	-	-	-	-	-	-	-	-	W	W	W
1	N	N	N	-	N	N	N	N	N	N	N	N	N	N	N	N	N	-	-	-	-	-	-	-	-	-	-	-	W	W	N
	C	C	C		C	C	C	C	C	C	C	C	C	C	C	C	C													C	

Описание: Регистр конфигурации приемника

Номер бита	Обозначение	Описание
31	RX_EN	Значение 1 разрешает работу канала приема, значение 0 – запрещает.
30	RCV_PARCHECK	Значение 1 разрешает проверку четности разрядов 31 -1 принятого слова данных, значение 0 – запрещает. При разрешении проверки четности в старший бит принятого слова - бит 31 (бит 32 ГОСТ 18977-79) записывается значение 0, при совпадении четности. Значение 1 записывается при не совпадении четности.
29	RCV_PARITY	Значение 0 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при нечетном количестве единиц в разрядах 31- 1 принятого слова данных. Значение 1 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при четном количестве единиц в разрядах 31- 1 принятого слова данных (порядок бит, указан по ГОСТ 18977-79).
28	RCV_REVERCE	Значение 1 устанавливает исходный порядок бит в принятом слове данных: биты 32-9, биты 8-1. Значение 0 сохраняет принятый порядок данных: биты 32-9, биты 1-8 (порядок бит, указан по ГОСТ 18977-79).
27	-	Резерв
26-25	RCV_SDI	Биты определяют значение идентификатора, который должен быть принят (в принятом слове данных биты 10 и 9 по ГОСТ 18977-79).
24-22	RSV_RATE	Биты определяют скорость приема данных. Значение “100” – скорость приема данных 100 кбит/с Значение “010” – скорость приема данных 12 – 14,5 кбит/с Значение “110” – скорость приема данных 50 кбит/с <b>Значение “001” – скорость приема устанавливается через значение делителя частоты RCV_CUST_R. Этот режим является нештатным и может быть использован только при полной ответственности пользователя за применение данного режима.</b>
21-14	RCV_CUST_R	Биты определяют значение для делителя частоты приема. Значение частоты определяется как 2000000/скорость приема. <b>Полученное значение должно находиться в пределах <math>2 &lt; X &lt; 180</math>. В противном случае запись 1 в поле RX_EN блокируется.</b>
13-3	-	Резерв
2	RCV_DECODE	Значение 1 разрешает фильтрацию поля RCV_SDI. В результате будут приниматься данные содержащие только установленный идентификатор.
1	RCV_FLTR_DIS	Значение 1 запрещает фильтрацию адресов, установленную в регистрах LBL_CONF_REG_PCI_x. В результате будут приниматься данные со всех адресов, не зависимо от значений регистров LBL_CONF_REG_PCI_x.
0	-	Резерв

## 6.2 Порядок программирования приемника ARINC-429

Перед очисткой памяти приемника бит «RX\_EN» регистра RX\_CONF\_REG должен быть установлен в значение 0. Очистка памяти осуществляется записью в регистр RX\_CONF\_REG значения 00000001h. После окончания очистки бит «RCV\_RAM\_CLS» сбрасывается в 0 автоматически.

Перед разрешением работы приемника должны быть установлены в соответствующее значение биты 30 – 14 регистра RX\_CONF\_REG. **Установка бит осуществляется записью в регистр необходимых значений с обязательно установленным в значение 0 битом 31.**

Запуск работы приемника осуществляется записью в бит 31 регистра RX\_CONF\_REG значения 1, при этом значение бит 30 – 14 регистра не изменяется. Биты 2 – 1 регистра RX\_CONF\_REG могут быть записаны при любом значении бита 31.

**Приемник начинает прием данных после определения состояния линии 0В (отсутствие информационного бита) в течении одного битового интервала для установленной скорости приема данных.**

**Остановка работы приемника производится путем записи в бит 31 регистра RX CONF REG значения 0, при этом могут быть переписаны значения бит 30 – 14 регистра RX CONF REG.**

### 6.3 Структура данных DMA для режима приемника ARINC-429.

#### 6.3.1 Область DMA.

Служебная область DMA содержит различные статусы, информацию об ошибках и другую сервисную информацию.

##### 6.3.1.1 Слово 1

Номер бита	Обозначение	Описание
31	RX	Значение бита отражает источник данных: 0 – приемник.
30	RCV_PARCHHECK	Значение бита 30 регистра RX_CONF_REG.
29	RCV_PARITY	Значение бита 29 регистра RX_CONF_REG.
28	RCV_REVERCE	Значение бита 28 регистра RX_CONF_REG.
27-24	RCV_CHAN_NUM	Номер канала приемника.
23-22	SID	Значение бит 10 - 9 принятого сообщения согласно ГОСТ 18977-79
21-14	LABEL	Значение бит 8 - 1 принятого сообщения согласно ГОСТ 18977-79. <b><u>Данное значение всегда определено позиционным соответствием принятых бит, а не порядком их приема.</u></b>
13-0	-	Резерв

##### 6.3.1.2 Слово 2

Номер бита	Обозначение	Описание
31	RX	Значение бита отражает источник данных: 0 – приемник.
30	-	Резерв
29-24	RX_BIT_NUM_ERR	Номер бита, принятого с ошибкой кодировки.
23	RX_PAR_ERR	Ошибка четности.
22	RX_GAP_ERR	Ошибка паузы.
21	RX_BIT_ERROR	Ошибка кодировки бита.
20	-	Резерв
19-15	RX_BITLENGTH	Средняя длина принятых бит, измеренная на частоте 10*Fпр.
14-0	-	Резерв

##### 6.3.1.3 Слово 3

Номер бита	Обозначение	Описание
31-0	FREE_TIMER	Текущее значение неуправляемого таймера на момент окончания приема данных с дискретностью 100 мкс.

##### 6.3.1.4 Слово 4

Номер бита	Обозначение	Описание
31-0	DATA	Значение принятого слова данных. <b><u>Бит 31 определен конфигурацией бита четности в регистре RX_CONF_REG.</u></b> Биты 30-0 соответствуют битам 31-1 ГОСТ 18977-79. <b><u>Порядок вывода бит 7-0 (8-1 ГОСТ 18977-79) определен значением поля RCV_REVERCE.</u></b>

## 7 Работа передатчика ARINC-429.

Каждый передатчик может работать в одном из 3х режимов передачи данных.

На рисунке 5 представлена структурная схема передатчика для режима 0 (00) – режим работы с FIFO.

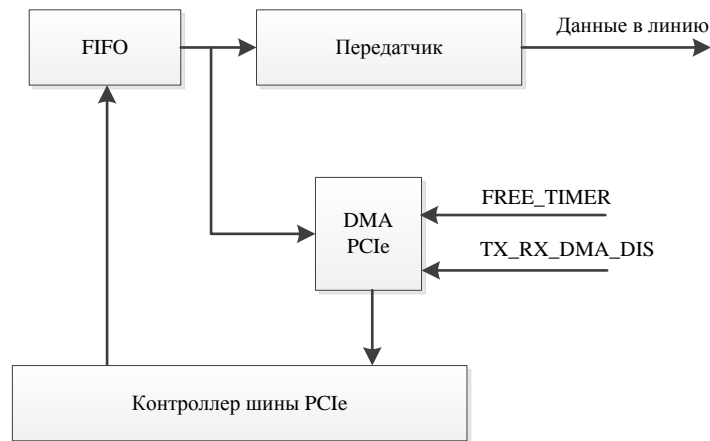


Рисунок 5. Структурная схема передатчика для режима 0 – режим работы с FIFO.

Самый простой режим работы передатчика. Данные от ПК записываются в FIFO передатчика и передаются до полного опустошения FIFO. Структура устройства позволяет записывать в FIFO до 4 слов подряд в одной транзакции. Каждому переданному слову соответствует цикл DMA. В каждом цикле к данным добавляется 3 слова: 2 слова статуса и метка реального времени - FREE\_TIMER, соответствующая времени начала передачи слова данных. При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита TX\_RX\_DMA\_DIS для данного канала. Режим работы с FIFO так же используется при работе в режиме 3 (11) - режим обратной связи (LOOP). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на входе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. Режим предназначен для внутреннего тестирования канала. При этом конфигурации приемника и передатчика должны быть одинаковыми в части формирования четности, установки скорости и порядке бит адреса. Автоматическая конфигурация приемника и передатчика не производится.

На рисунке 6 представлена структурная схема передатчика для режима 1 (01) – режим работы с внутренней памятью передатчика.

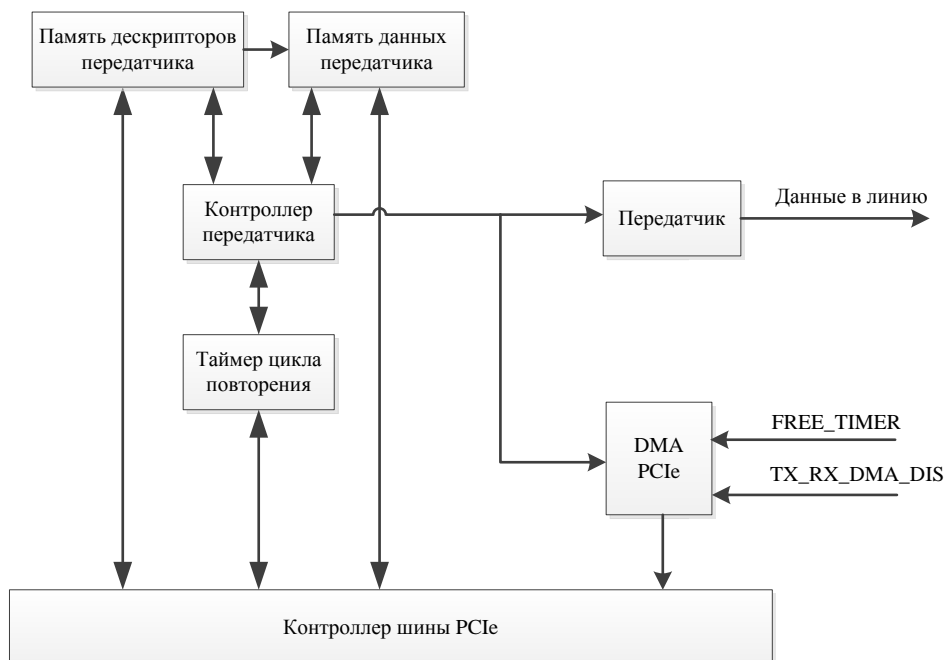


Рисунок 6. Структурная схема передатчика для режима 1 – режим работы с внутренней памятью передатчика.

**Память дескрипторов передатчика** ([см. пункт 7.2.2 Память дескрипторов передатчиков](#)). Каждый дескриптор представляется одним 32-битным словом и определяет основную последовательность передачи данных, а так же содержит информацию, управляющую основными циклами передачи.

**Память данных передатчика** ([см. пункт 7.2.1 Память данных передатчиков](#)). Содержит данные для передачи в линию. Память организована 32-битными словами с возможностью прямой адресации каждого слова. Запись в память данных со стороны ПК сопровождается автоматической установкой в 1 дополнительного бита данных (`NEW_DATA`). При чтении данных бит сбрасывается в 0 автоматически. Данный механизм позволяет, в зависимости от условия, передавать записанные данные в линию однократно (при значении `NEW_DATA = 0` данные не передаются), или непрерывно, вне зависимости от того были перезаписаны данные или нет.

**Контроллер передатчика** выполняет операции, записанные в памяти дескрипторов, а так же обеспечивает управление циклами передачи.

Каждому передаваемому слову соответствует цикл DMA. В каждом цикле к данным добавляется 3 слова: 2 слова статуса и метка реального времени - `FREE_TIMER`, соответствующая времени начала передачи слова данных. При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита `TX_RX_DMA_DIS` для данного канала.

## 7.1 Регистры передатчика ARINC-429

### 7.1.1 Регистр: TX\_CONF\_REG\_429

Адрес: 1428h, 1468h (каналов 1 и 2 соответственно)

		Номер бита																																
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-
0	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	-	-	-	-	-	-	-	-	
1	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	-	-	-	-	-	-	-	-	
	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	-	-	-	-	-	-	-	-	

Описание: Регистр конфигурации передатчика

Номер бита	Обозначение	Описание
31	TX_EN	Значение 1 разрешает работу канала передачи, значение 0 – запрещает.
30	TX_PARCHECK	Значение 1 разрешает вычисление четности разрядов 31 -1 передаваемого слова данных, значение 0 – запрещает. При разрешении вычисления четности в старший бит передаваемого слова (бит 32) записывается значение согласно установленному критерию вычисления.
29	TX_PARITY	Значение 0 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при нечетном количестве единиц в разрядах 31-1 передаваемого слова данных. Значение 1 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при четном количестве единиц в разрядах 31-1 передаваемого слова данных.
28	TX_REVERCE	Значение 1 устанавливает порядок бит в передаваемом слове данных в порядке 8,7,6,5,4,3,2,1,9,10,11...32. При значении 0 данные будут переданы без перестановки бит 1,2,3,4...32.
27-26	TX_MODE	Режим работы передатчика: Режим 0 - "00" – режим работы с FIFO. Режим 1 - "01" – режим работы с внутренней памятью передатчика. Режим 3 - "11" – режим обратной связи (LOOP). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на выходе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. В остальном режим эквивалентен работе в режиме 0.
25-19	TX_GAP_BITS	Время паузы между сообщениями в единицах длительности бита. Значение бит должно быть не менее 4d и, не более 40d. При записи значений менее 4d на аппаратном уровне будет установлено значение 4d. При записи значений более 40d на аппаратном уровне будет установлено значение 40d. Возможна запись только промежуточных значений от 4d до 40d.
18-16	TX_RATE	Биты определяют скорость передачи данных. Значение "100" – скорость передачи данных 100 кбит/с Значение "010" – скорость передачи данных 12 – 14,5 кбит/с Значение "110" – скорость передачи данных 50 кбит/с <b><u>Значение "001" – скорость передачи устанавливается через значение делителя частоты TX_CUST_R. Этот режим является нештатным и может быть использован только при полной ответственности пользователя за применение данного режима.</u></b>
15-8	TX_CUST_R	Биты определяют значение для делителя частоты передачи. Значение частоты определяется как 2000000/скорость передачи. <b><u>Полученное значение должно находиться в пределах 2 &lt; X &lt; 180. В противном случае запись 1 в поле TX_EN блокируется.</u></b>
7-0	-	Резерв

## 7.1.2 Регистр: TX\_CONTROL\_REG\_429

Адрес: 142Ch, 146Ch (каналов 1 и 2 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	-	-	-	-	R	R	R	R
															W	W	W	W	W	W	W	W	W					W	W	W	W

Описание: регистр управления передатчиком

Номер бита	Обозначение	Описание
31-24	RRT_FB	Текущее значение таймера RRT в режиме 1.
23-17	-	Резерв.
16	TX_RR	Значение делителя частоты таймера RRT. <b><u>Значение может быть установлено только при установленном в 0 бите TX_EN регистра TX_CONF_REG. В противном случае запись не производится.</u></b> Значение 0 – 10 мс. Значение 1 – 1 мс.
15-8	TX_RRT	Период таймера RRT – максимальное значение таймера RRT, при достижении которого может быть произведен его перезапуск.
7-4	-	Резерв.
3	TX_SKIP_RRT	<u>При установленном в 1 бите TX_EN регистра TX_CONF_REG,</u> значение 1 позволяет не ожидать окончания работы таймера RRT в конце циклов для режиме 1. Значение 0 останавливает выполнение цикла до конца работы таймера RRT = TX_RRT. В конце цикла таймер перезапускается и начинает новый отсчет со значения 0. Значение 1 позволяет в конце цикла перезапускать цикл с начала вне зависимости от значения таймера.
2	TX_START_STOP	<u>При установленном в 1 бите TX_EN регистра TX_CONF_REG,</u> значение 1 запускает циклическую работу передатчика в режиме 1. Значение 0 останавливает работу передатчика в режиме 1 после окончания текущего цикла. <i>Немедленная остановка работы передатчика (без ожидания конца цикла) осуществляется путем записи 0 в бит TX_EN регистра TX_CONF_REG.</i>
1	TX_START_ONES	<u>При установленном в 1 бите TX_EN регистра TX_CONF_REG,</u> значение 1 запускает однократное выполнение цикла передатчика в режиме 1. После окончания цикла бит сбрасывается в 0 аппаратно. <i>Немедленная остановка работы передатчика (без ожидания конца цикла) осуществляется путем записи 0 в бит TX_EN регистра TX_CONF_REG.</i>
0	TX_RAM_CLS	Бит очистки памяти передатчика. <b><u>Установка бита разрешена только при значении 0 бита TX_EN.</u></b> Значение бита сбрасывается в 0 аппаратно после выполнения процедуры очистки. Основное назначение очистки – сброс признака NEW_DATA. <u>Очистку рекомендуется производить перед началом работы с передатчиками, работающими в режимах 1 и 2, а так же после перезагрузки ПК. При аппаратном сбросе содержимое памяти не обнуляется. Время очистки памяти одного канала не более 3 мкс.</u>

## 7.1.3 Регистр: TX\_FIFO\_REG\_429

Адрес: 1430h, 1470h (каналов 1 и 2 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: слово данных для передачи из FIFO

Номер бита	Обозначение	Описание
31-0	FIFO_DAT	Слово данных записи в FIFO. Бит 31 соответствует биту 32, бит 0 соответствует биту 1 ГОСТ 18977-79. Структура устройства позволяет записывать данные до 4 слов подряд в одной транзакции (например, для канала 1 с адреса 1430h по адрес 143Ch). В линию биты передаются в порядке, определяемым значением бита «TX_REVERSE» регистра TX_CONF_REG.



## 7.2 Распределение памяти для работы с передатчиками ARINC-429 (только режим работы 1)

### 7.2.1 Память данных передатчиков (TX\_DATA\_RAM).

Адрес: 8000...83FCh, 8800...8BFCh (каналов 1 и 2 соответственно)

Структура данных:

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Бит 31 соответствует биту 32, бит 0 соответствует биту 1 ГОСТ 18977-79. В линию биты передаются в порядке, определяемым значением бита «TX\_REVERSE» регистра TX\_CONF\_REG.

### 7.2.2 Память дескрипторов передатчиков (TX\_DESC\_RAM).

Адрес: 8400...84FCh, 8C00...8FFCh (каналов 1 и 2 соответственно)

Каждый дескриптор имеет следующий формат:

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
Начало повторения цикла (PTO)								Период повторения цикла (PTP)								Адрес (LABEL)								Код операции (op_code)							

### 7.2.3 Коды операций контроллера передатчика:

Обозначение	Код	Название и условие	Описание
END	0000	Конец последовательности	Данная операция означает окончание цикла последовательности, в случаях, когда последовательность цикла меньше 256 адресов. Все остальные поля дескриптора, содержащего код данной операции игнорируются, счетчик адреса сбрасывается в 0. Цикл начинается сначала. Значение поля PTO не оказывает воздействия на выполнение операции.
DELAY	0001	Задержка	Задерживает начало передачи следующего сообщения на значение, содержащееся в поле PTP * 1 мс. При PTP = 0 дескриптор пропускается, остальные поля данного дескриптора игнорируются.
SEND_UNC	0010	Передать данные	Безусловная передача слова данных из памяти передатчика, адрес которого определен полем "LABEL". Значение поля PTO /= 0 пропускает выполнение операции для данного цикла.
SEND_COND	0011	Передать данные	Передача слова данных из памяти передатчика, адрес которого определен полем "LABEL" будет произведена только в том случае, когда по этому адресу находится «новое» слово (слово записано, но не было передано, признак NEW_BIT = 1). После передачи признак NEW_BIT будет сброшен в 0. Значение поля PTO /= 0 пропускает выполнение операции для данного цикла.

7.2.4 Работа контроллера передатчика ARINC-429:

На рисунке 7 представлен порядок обработки дескрипторов контроллером передатчика. Выполнение последовательности от дескриптора 0 до дескриптора 255 или дескриптора, содержащего код операции END является циклом. После окончания цикла адрес дескрипторов устанавливается в значение 0. При установке бита TX\_START\_ONES регистра TX\_CONTROL\_REG в состояние 1, цикл выполняется однократно, после окончания цикла бит TX\_START\_ONES сбрасывается в 0 автоматически. Бит TX\_START\_STOP того же регистра установленный в 1, обеспечивает непрерывное повторение выполнения цикла.

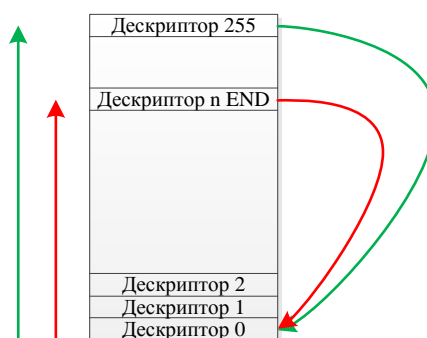


Рисунок 7. Порядок обработки дескрипторов.

Поля дескрипторов PTO (packet timer offset) – отступ начала цикла и PTP (packet timer period) – период выполнения цикла используются при совместной работе с таймером RRT (repetition rate timer) – таймер повтора. Иллюстрация выполнения дескрипторов, а так же изменение поля PTO, представлены на рис. 8.

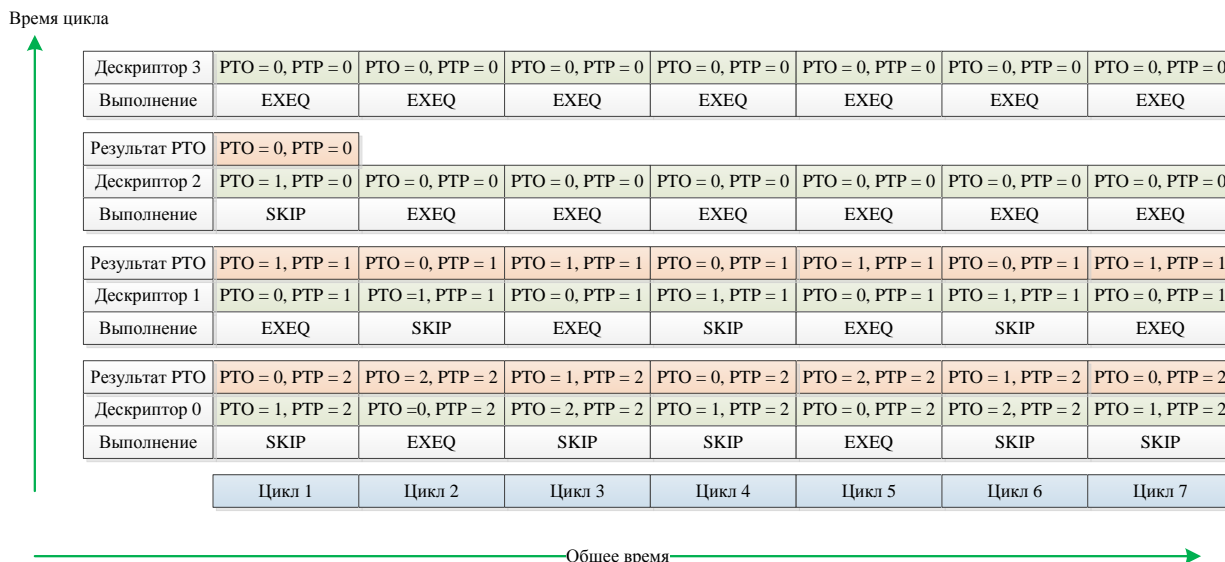


Рисунок 8. Иллюстрация выполнения дескрипторов, а так же изменение поля PTO.

На данной иллюстрации показана зависимость выполнения дескриптора от значения поля PTO. При значении PTO и PTP равном 0, код операции дескриптора выполняется всегда. В случае, когда PTO ≠ 0, код операции не выполняется (за исключением кодов END и DELAY, которые выполняются всегда), значение PTO уменьшается на 1. Если PTO = 0, но PTP ≠ 0, значение PTP

переписывается в поле РТО, код дескриптора выполняется. Алгоритм изменения поля РТО дескриптора представлен на рисунке 9.

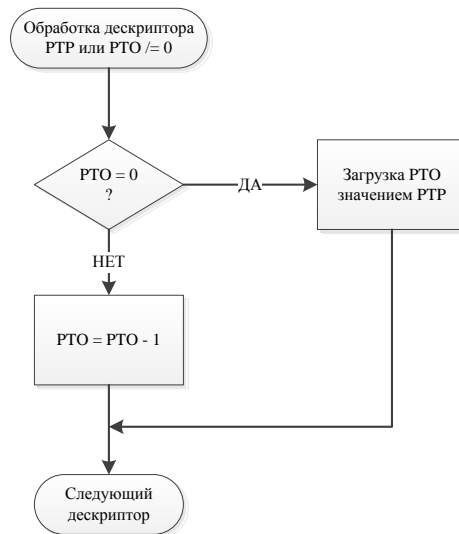


Рисунок 9. Алгоритм изменения поля РТО дескриптора.

При функционировании передатчика в режиме 2 и работой с памятью приемников возникает ситуация, когда приемники еще не получили данных, в результате передатчик выполняет «пустой цикл», длительность которого определяется только количеством обработанных дескрипторов без времени передачи данных. Для обеспечения постоянства циклов используется таймер RRT. При совместном использовании поля РТО /= 0 и таймера RRT в первом цикле выполнения дескрипторов, появляется возможность обеспечить постоянство выполнения первого и последующих циклов.

На рисунке 10 представлена связь длительности первого цикла и таймера RRT при РТО /= 0.

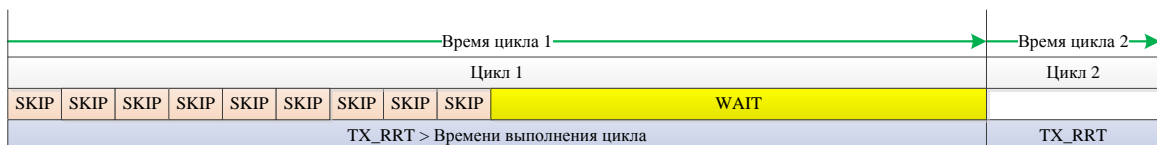


Рисунок 10. Связь длительности первого цикла и таймера RRT, РТО /= 0.

На рисунке 11 представлена связь длительности цикла и таймера RRT для различных ситуаций передачи данных.



Рисунок 11. Связь работы таймера RRT с различными ситуациями времени выполнения циклов.

Таймер RRT используется как вспомогательное средство сохранения длительности цикла. Достижение таймером значения = TX\_RRT проверяется

только в конце цикла. Если таймер достиг заданного значения до окончания цикла – **цикл и таймер перезапускаются после передачи всех данных текущего цикла**. В противном случае – вначале происходит ожидание достижения таймером заданного значения TX\_RRT, затем перезапуск цикла и таймера. Ожидание таймера можно отключить в любой момент времени установкой бита TX\_SKIP\_RRT = 1 в регистре TX\_CONTROL\_REG.

### 7.3 Порядок программирования передатчика ARINC-429.

Перед очисткой памяти передатчика бит «TX\_EN» регистра TX\_CONF\_REG должен быть установлен в значение 0. Очистка памяти осуществляется записью в регистр TX\_CONTROL\_REG значения 00000001h. После окончания очистки бит «TX\_RAM\_CLS» сбрасывается в 0 автоматически.

Перед разрешением работы передатчика должны быть установлены в соответствующее значение биты 30 – 8 регистра TX\_CONF\_REG, а так же бит 16 (TX\_RR) регистра TX\_CONTROL\_REG. В начале, при значении 0 бита 31 регистра TX\_CONF\_REG, производится запись в регистр TX\_CONTROL\_REG.

**Установка бит регистра TX CONF REG осуществляется записью в регистр необходимых значений с обязательно установленным в значение 0 битом 31.**

Запуск работы передатчика осуществляется записью в бит 31 регистра TX\_CONF\_REG значения 1, при этом значение бит 30 – 8 регистра не изменяется.

**Остановка работы передатчика производится путем записи в бит 31 регистра TX CONF REG значения 0, при этом могут быть переписаны значения бит 30 – 8 регистра TX CONF REG.**

## 7.4 Структура данных DMA для режимов передатчика ARINC-429.

Служебная область DMA содержит различные статусы, время начала передачи сообщения, регистры ошибок и другие сервисные данные.

### 7.4.1 Слово 1

Номер бита	Обозначение	Описание
31	TX	Значение бита отражает источник данных: 1 – передатчик.
30	TX_PARCHECK	Значение бита 30 регистра TX_CONF_REG.
29	TX_PARITY	Значение бита 29 регистра TX_CONF_REG.
28	TX_REVERCE	Значение бита 28 регистра TX_CONF_REG.
27-24	TX_CHAN_NUM	Номер канала передатчика.
23-22	SID	Значение бит 10 - 9 передаваемого сообщения согласно ГОСТ 18977-79
21-14	LABEL	Значение бит 8 - 1 передаваемого сообщения согласно ГОСТ 18977-79. <b><u>Данное значение всегда определено позиционным соответствием бит источника передачи данных и не зависит от значения бита TX_REVERCE.</u></b>
13-12	-	Резерв
11-4	TX_FIFO_DEEP/DESC_ADDR	В зависимости от режима передачи: Количество записанных в FIFO данных для режимов 0 и 3. Адрес дескриптора передачи для режимов 1 и 2.
3-2	-	Резерв
1-0	TX_MODE	Режим работы передатчика

### 7.4.2 Слово 2

Номер бита	Обозначение	Описание
31	TX	Значение бита отражает источник данных: 1 – передатчик.
30-8	-	Резерв
7-0	TX_RRT	Значение таймера RRT на начало момента передачи

### 7.4.3 Слово 3

Номер бита	Обозначение	Описание
31-0	FREE_TIMER	Текущее значение неуправляемого таймера на момент начала передачи данных с дискретностью 100 мкс.

### 7.4.4 Слово 4

Номер бита	Обозначение	Описание
31-0	DATA	Значение переданного слова данных. <b><u>Бит 31 определен конфигурацией бита четности в регистре TX_CONF_REG.</u></b> Биты 30-0 соответствуют битам 31-1 ГОСТ 18977-79. <b><u>Порядок вывода бит 7-0 (8-1 ГОСТ 18977-79) определен значением поля TX_REVERCE регистра TX_CONF_REG.</u></b>

## 8 Работа канала ARINC-708.

Структурная схема одного канала ARINC-708 представлена на рисунке 12.

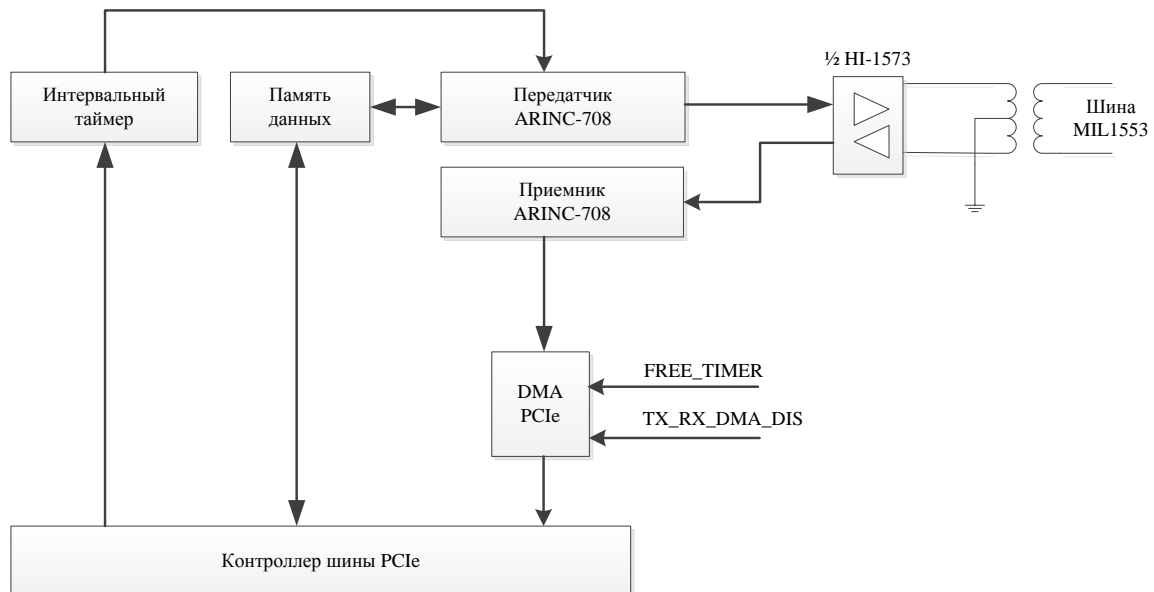


Рисунок 12. Структурная схема канала ARINC- 708.

Канал состоит из передатчика, памяти данных передатчика, рассчитанной на хранение до 8 блоков передаваемых данных, межинтервального таймера, обеспечивающего необходимую задержку между автоматической передачей блоков данных, приемника, декодирующего сигнал, приходящий из линии и блока DMA PCIe для передачи принятых данных на шину PCIe.

Принятые данные поступают в блок DMA PCIe, где снабжаются 1 словом статуса и 1 словом метки времени, соответствующей окончанию приема/передачи блока данных ([Область DMA ARINC - 708](#)). При необходимости возможно полное отключение выдачи данных на шину PCIe установкой соответствующего бита TX\_RX\_DMA\_DIS для данного канала. Так же возможно отключение выдачи принятого блока данных и получения только одного слова статуса и метки времени окончания приема/передачи блока данных.

## 8.1 Регистры каналов ARINC-708.

### 8.1.1 Регистр: RX\_CONF\_REG\_708

Адрес: 1500h, 1540h (каналов 1 и 2 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R	R
																															W	W

Описание: Регистр управления приемником ARINC-708.

Номер бита	Обозначение	Описание																														
31-2	-	Резерв.																														
1	A708_RX_OFF	Отключение приемника.																														
0	SHORT_DMA	Выдача DMA без принятого блока данных (только статус приема и метка времени).																														
Значение по умолчанию																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



## 8.1.2 Регистр: TX\_CONF\_REG\_708

Адрес: 1528h, 1568h (каналов 1 и 2 соответственно)

Номер бита																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
-	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	R	W	R	W	R	W

Описание: Регистр управления передатчиком ARINC-708.

Номер бита	Обозначение	Описание																														
31-19	-	Резерв.																														
18 - 16	R_NUM	Номер последнего переданного блока - 1																														
15	RASTR_FB8	1 – Блок данных №8 записан в память, 0 – блок данных №8 передан (пуст)																														
14	RASTR_FB7	1 – Блок данных №7 записан в память, 0 – блок данных №7 передан (пуст)																														
13	RASTR_FB6	1 – Блок данных №6 записан в память, 0 – блок данных №6 передан (пуст)																														
12	RASTR_FB5	1 – Блок данных №5 записан в память, 0 – блок данных №5 передан (пуст)																														
11	RASTR_FB4	1 – Блок данных №4 записан в память, 0 – блок данных №4 передан (пуст)																														
10	RASTR_FB3	1 – Блок данных №3 записан в память, 0 – блок данных №3 передан (пуст)																														
9	RASTR_FB2	1 – Блок данных №2 записан в память, 0 – блок данных №2 передан (пуст)																														
8	RASTR_FB1	1 – Блок данных №1 записан в память, 0 – блок данных №1 передан (пуст)																														
7 - 4	-	Резерв.																														
3	BUSY	Выполняется передача данных или ожидание конца работы интервального таймера.																														
2	TX_START	Запуск передачи блока (блоков) данных.																														
1-0	TX_MODE	Режим работы передатчика. 00 – выключен 01 – однократная передача блока данных №1. 11 – автоматическая передача блоков данных (блоки данных передаются последовательно в цикле с учетом времени ожидания интервального таймера).																														
Значение по умолчанию																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 8.1.3 Регистр: TX\_TIME\_REG\_708

Адрес: 152Ch, 156Ch (каналов 1 и 2 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R
																			W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Регистр интервального таймера передатчика ARINC-708.

Номер бита	Обозначение	Описание																													
31-13	-	Резерв.																													
12-0	TX_TIMER	Значение интервального таймера с дискретностью 1 мкс, максимальное значение 8191 мкс. <u>Используется только в автоматическом режиме работы передатчика.</u>																													
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 8.1.4 TX708\_DAT\_BLOCK1

Адрес: 9000...90C4h, 9800...98C4h (каналов 1 и 2 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Блок данных 1 передатчика ARINC-708.

Номер бита	Обозначение	Описание																													
31-0	DATA	Данные для передачи (50 слов, 1600 бит).																													
Бит 0 данных по адресу 9000h соответствует первому передаваемому биту, бит 31 по адресу 90C4h – последнему. При записи по адресу 90C4h устанавливается в '1' бит 8 - RASTR_FB1 регистра TX_CONF_REG_708.																															
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 8.1.5 TX708\_DAT\_BLOCK2

Адрес: 9100...91C4h, 9900...99C4h (каналов 1 и 2 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Блок данных 2 передатчика ARINC-708.

Номер бита	Обозначение	Описание																													
31-0	DATA	Данные для передачи (50 слов, 1600 бит).																													
Бит 0 данных по адресу 9100h соответствует первому передаваемому биту, бит 31 по адресу 91C4h – последнему. При записи по адресу 91C4h устанавливается в '1' бит 9 - RASTR_FB2 регистра TX_CONF_REG_708.																															
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 8.1.6 TX708\_DAT\_BLOCK3

Адрес: 9200...92C4h, 9A00...9AC4h (каналов 1 и 2 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

Описание: Блок данных 3 передатчика ARINC-708.

Номер бита	Обозначение	Описание																													
31-0	DATA	Данные для передачи (50 слов, 1600 бит).																													
Бит 0 данных по адресу 9200h соответствует первому передаваемому биту, бит 31 по адресу 92C4h – последнему. При записи по адресу 92C4h устанавливается в '1' бит 10 - RASTR_FB3 регистра TX_CONF_REG_708.																															
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 8.1.7 TX708\_DAT\_BLOCK4

Адрес: 9300...93C4h, 9B00...9BC4h (каналов 1 и 2 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Блок данных 4 передатчика ARINC-708.

Номер бита	Обозначение	Описание																													
31-0	DATA	Данные для передачи (50 слов, 1600 бит).																													
Бит 0 данных по адресу 9300h соответствует первому передаваемому биту, бит 31 по адресу 93C4h – последнему. При записи по адресу 93C4h устанавливается в '1' бит 11 - RASTR_FB4 регистра TX_CONF_REG_708.																															
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 8.1.8 TX708\_DAT\_BLOCK5

Адрес: 9400...94C4h, 9C00...9CC4h (каналов 1 и 2 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

Описание: Блок данных 5 передатчика ARINC-708.

Номер бита	Обозначение	Описание																													
31-0	DATA	Данные для передачи (50 слов, 1600 бит).																													
Бит 0 данных по адресу 9400h соответствует первому передаваемому биту, бит 31 по адресу 94C4h – последнему. При записи по адресу 94C4h устанавливается в '1' бит 12 - RASTR_FB5 регистра TX_CONF_REG_708.																															
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 8.1.9 TX708\_DAT\_BLOCK6

Адрес: 9500...95C4h, 9D00...9DC4h (каналов 1 и 2 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Блок данных 6 передатчика ARINC-708.

Номер бита	Обозначение	Описание																													
31-0	DATA	Данные для передачи (50 слов, 1600 бит).																													
Бит 0 данных по адресу 9500h соответствует первому передаваемому биту, бит 31 по адресу 95C4h – последнему. При записи по адресу 95C4h устанавливается в '1' бит 13 - RASTR_FB6 регистра TX_CONF_REG_708.																															
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 8.1.10 TX708\_DAT\_BLOCK7

Адрес: 9600...96C4h, 9E00...9EC4h (каналов 1 и 2 соответственно)

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

Описание: Блок данных 7 передатчика ARINC-708.

Номер бита	Обозначение	Описание																													
31-0	DATA	Данные для передачи (50 слов, 1600 бит).																													
Бит 0 данных по адресу 9600h соответствует первому передаваемому биту, бит 31 по адресу 96C4h – последнему. При записи по адресу 96C4h устанавливается в '1' бит 14 - RASTR_FB7 регистра TX_CONF_REG_708.																															
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 8.1.11 TX708\_DAT\_BLOCK8

Адрес: 9700...97C4h, 9F00...9FC4h (каналов 1 и 2 соответственно)

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

Описание: Блок данных 8 передатчика ARINC-708.

Номер бита	Обозначение	Описание																													
31-0	DATA	Данные для передачи (50 слов, 1600 бит).																													
Бит 0 данных по адресу 9700h соответствует первому передаваемому биту, бит 31 по адресу 97C4h – последнему. При записи по адресу 97C4h устанавливается в '1' бит 15 - RASTR_FB8 регистра TX_CONF_REG_708.																															
Значение по умолчанию																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 8.2 Порядок программирования канала ARINC-708.

### 8.2.1 Приемник.

Программирование приемника особенностей не имеет. Приемник может быть выключен или переведен в режим, при котором принятые данные не выдаются в контроллер DMA, но проверяются на наличие ошибок, это может быть удобно при работе в данном канале передатчика.

### 8.2.2 Передатчик в режиме «однократная передача блока данных №1».

Перед записью блока данных в регистре TX\_CONF\_REG\_708 должен быть установлен соответствующий режим работы (биты TX\_MODE). После установки режима возможна запись блока данных.

В режиме «однократная передача блока данных №1» данные передаются только из блока данных 1 передатчика.

Порядок программирования режима «однократная передача блока данных №1»:

- Запись в регистр TX\_CONF\_REG\_708 значения 00000001h;
- Запись 50 слов данных в блок данных №1 (TX708\_DAT\_BLOCK1);
- Запись в регистр TX\_CONF\_REG\_708 значения 00000005h;
- Запись 50 слов данных в блок данных №1 (TX708\_DAT\_BLOCK1);
- Запись в регистр TX\_CONF\_REG\_708 значения 00000005h;

Передача данных начинается после записи бита TX\_START в значении '1'. Для выключения передатчика в регистр TX\_CONF\_REG\_708 записывается значение 00000000h.

### 8.2.3 Передатчик в режиме «автоматическая передача блоков данных».

Перед записью блока или блоков данных в регистре TX\_CONF\_REG\_708 должен быть установлен соответствующий режим работы (биты TX\_MODE). После установки режима возможна запись блоков данных. В данном режиме может быть использован интервальный таймер для контроля интервалов между сообщениями. Программируемый интервал таймера от 2 до 8191 мкс. Для точных расчетов следует учитывать длительность битов синхронизации в сообщении, с их учетом длительность передаваемого сообщения равняется 1606 мкс. Порядок передачи блоков данных, а так же алгоритм работы передатчика в данном режиме представлен на рисунке 13.

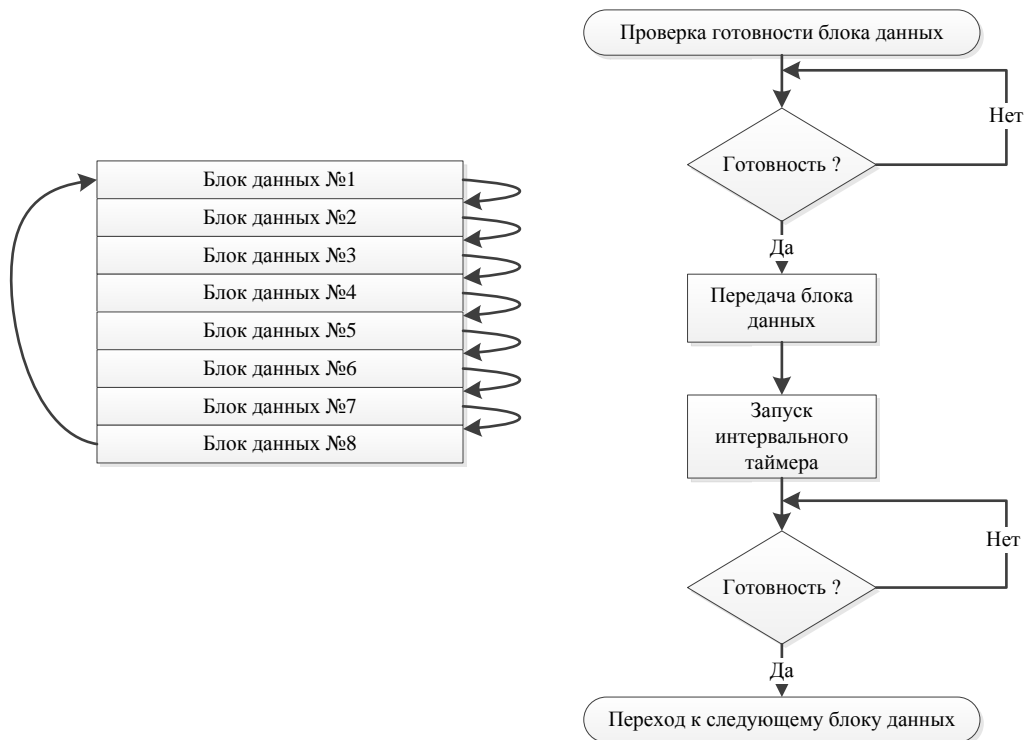


Рисунок 13. Порядок передачи блоков данных, а так же алгоритм работы передатчика в автоматическом режиме.

Порядок программирования режима «автоматическая передача блоков данных»:

- Запись в регистр TX\_CONF\_REG\_708 значения 00000003h
- Запись 50 слов данных в блок данных №1 (TX708\_DAT\_BLOCK1)
- Запись 50 слов данных в блок данных №2 (TX708\_DAT\_BLOCK2)
- .....
- Запись в регистр TX\_CONF\_REG\_708 значения 00000007h

Передача данных начинается после записи бита TX\_START в значении '1'. Повторной записи бита TX\_START не требуется. При наличии готовности блоков данных, данные будут передаваться последовательно в цикле. Для выключения передатчика в регистр TX\_CONF\_REG\_708 записывается значение 00000000h.



### 8.3 Область DMA ARINC - 708.

Служебная область DMA содержит различные статусы, информацию об ошибках и другую сервисную информацию.

#### 8.3.1 Слово 1

Номер бита	Обозначение	Описание
31	CH_NUM_RCV	Номер канала приемника: 0 – канал 1 1 – канал 2
30-21	-	Резерв.
20	RCV	1 – сообщение принято (только при включенном приемнике).
19	SYNCH_ERR2	1 – ошибка синхронизации 2
18	SYNCH_ERR1	1 – ошибка синхронизации 1
17	LENG_ERR	1 – ошибка длины
16	MANCH_ERR	1 – ошибка кодировки «манчестер»
15	CH_NUM_TR	Номер канала передатчика: 0 – канал 1 1 – канал 2
14 - 12	R_NUM	Номер последнего переданного блока - 1
11-9	-	Резерв.
8	TRM	1 – сообщение передано (только при включенном передатчике).
7	RASTR_FB8	1 – Блок данных №8 записан в память, 0 – блок данных №8 передан (пуст)
6	RASTR_FB7	1 – Блок данных №7 записан в память, 0 – блок данных №7 передан (пуст)
5	RASTR_FB6	1 – Блок данных №6 записан в память, 0 – блок данных №6 передан (пуст)
4	RASTR_FB5	1 – Блок данных №5 записан в память, 0 – блок данных №5 передан (пуст)
3	RASTR_FB4	1 – Блок данных №4 записан в память, 0 – блок данных №4 передан (пуст)
2	RASTR_FB3	1 – Блок данных №3 записан в память, 0 – блок данных №3 передан (пуст)
1	RASTR_FB2	1 – Блок данных №2 записан в память, 0 – блок данных №2 передан (пуст)
0	RASTR_FB1	1 – Блок данных №1 записан в память, 0 – блок данных №1 передан (пуст)

#### 8.3.2 Слово 2

Номер бита	Обозначение	Описание
31-0	FREE_TIMER	Текущее значение неуправляемого таймера на момент окончания приема (передачи) данных с дискретностью 100 мкс.

#### 8.3.3 Слова 3 - 52

Номер бита	Обозначение	Описание
31-0	DATA	Принятые слова данных

**9 Перечень вносимых изменений.**

Дата	Версия	Изменение
21.07.2020	1.00	Документ создан.
05.10.2020	1.01	Изменена нумерация регистров.
05.11.2020	1.02	Корректировка структурной схемы модуля Рисунок 1
03.03.2021	1.03	Изменены адреса регистров RX_CONF_REG_708, TX_CONF_REG_708, TX_TIME_REG_708. В регистре TX_CONF_REG_708 и слове 1 области DMA ARINC – 708 введено дополнительное поле R_NUM. Добавлено описание аппаратного ограничения бит TX_GAP_BITS регистра TX_CONF_REG_429.
24.03.2021	1.04	Изменены адреса регистров TX708_DAT_BLOCK1 - TX708_DAT_BLOCK8
25.03.2021	1.05	Исправлено поле Revision_ID для модуля mPCIe-708UD2.