



Рекомендации к применению (v1.01)

**По программированию модулей
“xPCIe-708UD2”.**

Интерфейс ARINC – 708

24.03.2021

ООО “НОВОМАР”

.

Оглавление

Введение.....	3
Принятые сокращения.	3
1. Понятие спецификации ARINC 708.....	4
2. Общее понятие о радиальном канале обмена данными спецификации ARINC-429 (ГОСТ 18977-79, РТМ1495-75).....	5
3. Конфигурация приемников протокола ARINC429 модулей xPCIe-708UD2.....	7
4. Конфигурация передатчиков протокола ARINC429 модулей xPCIe-708UD2. ..	12
5. Режимы работы передатчика протокола ARINC429.....	16
5.1 Режим работы передатчика протокола ARINC429 с FIFO.....	16
5.2 Режим работы передатчика протокола ARINC429 с внутренней памятью.	17
6 Установка пользовательской скорость приема/передачи протокола ARINC429.22	
7. Инициализация каналов ARINC429 модулей "xPCIe-708UD2".....	23
7.1 Порядок программирования приемника ARINC429.....	23
7.2 Порядок программирования передатчика ARINC429.....	23
8. Общее понятие о высокоскоростной шине данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003)..	24
9. Конфигурация приемников протокола высокоскоростной шины данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003).	26
10. Конфигурация передатчиков протокола высокоскоростной шины данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003).	28
11. Режимы работы передатчиков протокола высокоскоростной шины данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003).	31
11.1 Передатчик в режиме «однократная передача блока данных №1».....	31
11.2 Передатчик в режиме «автоматическая передача блоков данных».....	32
12. Совместная работа приемника и передатчика протокола высокоскоростной шины данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003).....	35
13. Список исправлений и изменений.	36

Введение

Модули "PCIe-708UD2", "mPCIe-708UD2" интерфейса ARINC 708 разработаны специально для использования с бортовыми метеорологическими радиолокационными системами. Интерфейс ARINC 708 обычно используется для отображения выходных данных радара на дисплее погодного радара. Подключения к ПК модулей осуществляется по магистралям МКИО ГОСТ Р 52070-2003 (MIL-STD-1553B).

Интерфейс ARINC 708 является производным от технологии MIL-STD 1553, разработан специально для использования с бортовыми метеорологическими радиолокационными системами. Слова данных имеют длину 1600 бит.

Режим работы ARINC 708, приемник/передатчик задается программно.

Модули "xPCIe-708UD2" позволяют организовать передачу или прием данных в полностью автономном режиме, или с минимальным участием центрального процессора в линиях обмена информацией оборудования летательных.

В настоящем документе описана организация интерфейса ГОСТ 18977-79, РТМ 1495-75 (ARINC429), устройство контроллера ARINC 708 и методы организации обмена с использованием модулей "xPCIe-708UD2".

Принятые сокращения.

ПК – персональный компьютер.

DMA – direct memory access (прямой доступ к памяти)

1. Понятие спецификации ARINC 708.

В настоящий момент спецификация ARINC 708 определяет две независимые шины: ARINC-429 (ГОСТ 18977-79, РТМ1495-75), как низкоскоростную шину управления, и шину высокоскоростных данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003), ее устаревшее обозначение ARINC-453.

По шине управления ARINC-429 в погодный радар передаются команды управления. Погодный радар принимает эти данные и приводит свой режим работы в соответствие с принятой командой. В ответ на принятую команду, погодный радар по шине ARINC-429 передает свой текущий статус и начинает передавать данные по скоростной шине MIL-STD-1553B (Рис. 1).

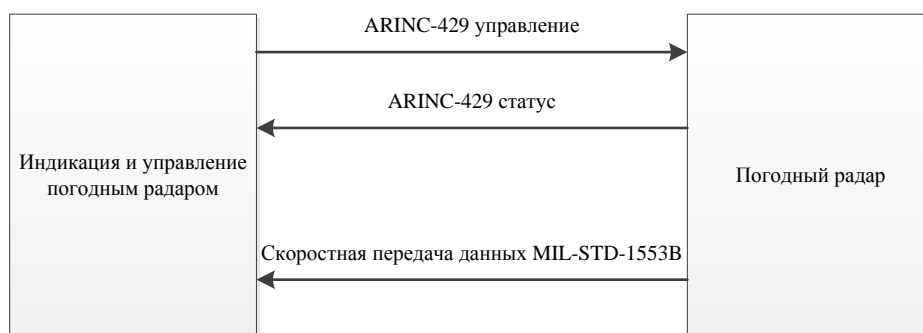


Рисунок 1. Общая структура передачи данных спецификации ARINC 708.

Модули “xPCIe-708UD2” содержат в своем составе 4 канала приемников и 2 канала передатчиков протокола ARINC-429 (ГОСТ 18977-79, РТМ1495-75). Каждый из этих каналов может работать автономно в любом из допустимых режимов работы. Так же модуль содержит два канала приемопередатчиков протокола ARINC-453 (шина высокоскоростных данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003)) , которые также могут работать автономно.

При работе в рамках спецификации ARINC 708, логическая связь между протоколами осуществляется программными средствами пользователя. Свободные каналы приемников ARINC-429 могут независимо принимать данные в одном из допустимых режимов из дополнительных линий.

2. Общее понятие о радиальном канале обмена данными спецификации ARINC-429 (ГОСТ 18977-79, RTM1495-75).

Радиальный канал обмена данными спецификации ARINC-429 (ГОСТ 18977-79, RTM1495-75) предназначен для передачи данных между элементами бортовых систем летательных аппаратов. ГОСТ 18977-79 описывает вид и параметры сигналов в линии. В основу стандарта заложен вид биполярного двухфазного сигнала (код с возвратом к нулю, RZ-код), передаваемого по бифилярной экранированной линии связи (Рис. 2). Передача осуществляется на стандартизованных частотах (периода T) 32-х разрядными словами последовательного кода, включающими адресную и информационную части, первым следует младший бит (1) – последним старший (32), где 32-й разряд кода - бит контроля по четности (P). Слова разделяются обязательной паузой - отсутствием сигнала в линии в течение времени не менее $4T$, которая определяет окончание слова последовательного кода.

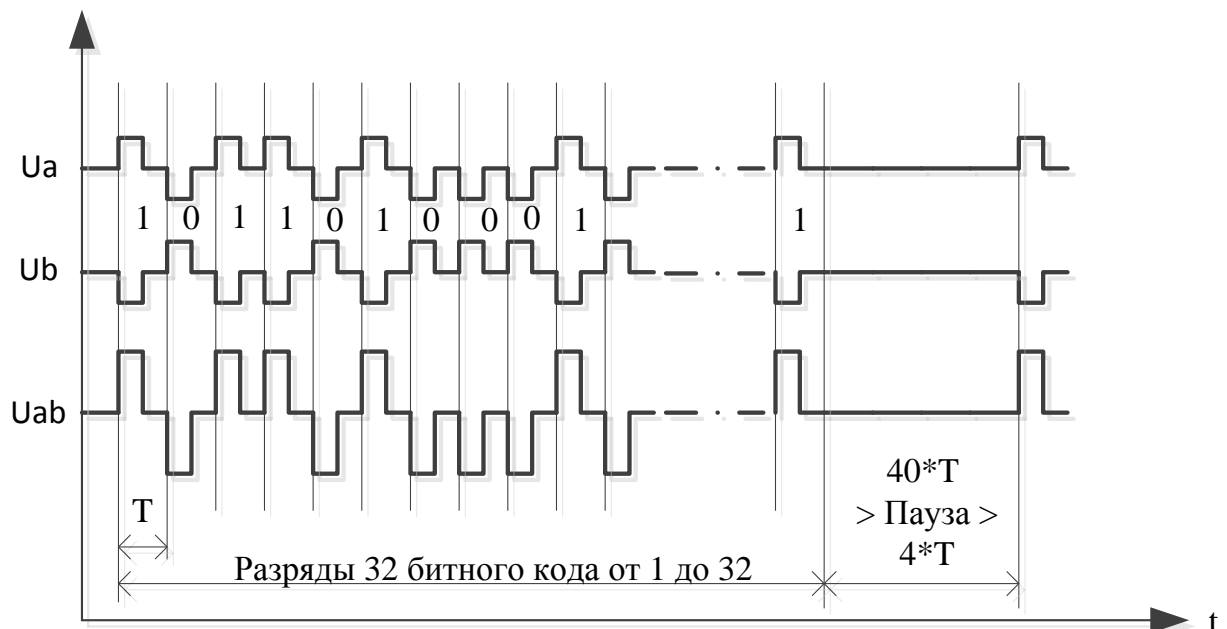


Рисунок 2. Вид сигналов и структура слова последовательного кода по стандарту ГОСТ 18977-79.

RTM 1495-75 и спецификации ARINC-429 описывают вид, параметры сигналов, структуру кодов и протоколы сообщений. Далее будет уделено внимание в основном структуре на основе спецификации ARINC-429.

Каждое 32 битное слово состоит в основном из 5 полей:

- 8 бит адрес (Label);
- Область данных (Datan), где MSB – старший бит, LSB – младший бит данных;
- Бит четности (P);
- Идентификатор источника/назначения (SDI);

- Матрица знака/статуса (SSI);

P	SSM		MSB		Datas 19 bits															LSB		SDI		Label																											
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1																				
MSB																												32 bits ARINC-429														LSB									

Таблица 1. Назначение бит данных по PTM 1495-75 и спецификации ARINC-429.

В протоколе используется в основном 4 типа структуры данных:

- Структура двоичного кода (ДК, PTM 1495-75);
- Структура для команд и признаков (К, PTM 1495-75);
- Структура двоично-десятичного кода (ДДК, PTM 1495-75);
- Структура слова, состоящего из букв, знаков и цифр (ТК, PTM 1495-75);

Для каждой структуры используется специфичное назначение бит данных за исключением полей P, SDI и Label. Использование этих полей в модуле xPCIe-708UD2 будет рассмотрено ниже. А пока несколько слов о поле Label спецификации ARINC-429.

P	SSM		MSB		Datas 19 bits															LSB		SDI		Label																																
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	1	2	3	4	5	6	7	8																									
Принятое значение																												0	1	1	0	1	1	0	0																					
Восьмеричное значение Label																												1	5					4																						
P	SSM		MSB		Datas 19 bits															LSB		SDI		Label																																
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1																									
Реверсивное значение																												0	0	1	1	0	1	1	0																					

Таблица 2. Расположение бит поля Label спецификации ARINC-429.

Так же как и в PTM 1495-75 в спецификации ARINC-429 первым битом передается младший бит, последним старший (32). Но в спецификации ARINC-429 изменен порядок бит 8 – 1 на 1 – 8. В результате порядок следования бит следующий: 8,7,6,5,4,3,2,1,9,10,11,12,...30,31,32. Для обозначения поля Label используется восьмеричный код. Причем старшие 2 бита (1,2) являются не полной тетрадой.

Примечание: в модулях xPCIe-708UD2 бит данных 31 соответствует биту 32 ГОСТ 18977-79, бит 0 биту 1.

3. Конфигурация приемников протокола ARINC429 модулей xPCIe-708UD2.

Конфигурация приемников протокола ARINC429 модулей xPCIe-708UD2 осуществляется путем программирования следующих регистров:

- Регистры разовых команд «ARINC429_SC_OUT», «ARINC429_SC_IN», «ARINC429_SC_INT_MASK»;
- Регистры «LBL_CONF_REG_PCI_x»;
- Регистр «RX_CONF_REG»;

Регистры разовых команд (РК) являются общими для всех каналов приемников/передатчиков. Логическая привязка канала РК к каналу приемника/передатчика осуществляется с использованием библиотеки программного обеспечения, в свою очередь обеспечивающей выполнение РК «Запрос» и «Готовность».

Регистры «LBL_CONF_REG_PCI x» являются уникальными для каждого канала приемника и обеспечивают возможность фильтрации приема заданного списка адресов (Label) уникально для каждого приемника. Для правильного программирования регистров необходимо учитывать метод адресации принятый в модулях xPCIe-708UD2.

Порядок принятых бит адреса (Label) не зависит от значения бита «RCV REVERCE» регистра RX_CONF_REG и всегда является реверсивным по отношению к принятому полю Label (первый принятый бит становится старшим (восьмым), восьмой принятый бит становится младшим (первым)). Это же правило используется для адресации памяти данных приемника и полю Label первого слова DMA приемника.

P	SSM	MSB																			SDI		Label								
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
Принятое значение																								0	0	1	1	0	1	1	0
P	SSM	MSB																			SDI		Label								
32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	1	2	3	4	5	6	7	8
Реверсивное значение поля Label																								0	1	1	0	1	1	0	0
Адрес (hex/dec)																								6Ch/108d							

Таблица 3. Связь внутреннего адреса с полем Label.

Для фильтрации (отключения приема данных по адресу 108d) необходимо установить в значение “0” бит 12 регистра «LBL_CONF_REG_PCI_3». Данные приемника будут записаны по внутреннему адресу 6Ch.

Регистр «RX_CONF_REG_429» является основным регистром конфигурации приемника.

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	R	R	R	-	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-	-	-	-	-	R	R	-
0	W	W	W	-	W	W	W	W	W	W	W	W	W	W	W	W	W	-	-	-	-	-	-	-	-	-	-	-	-	W	W	-
1	N	N	N	-	N	N	N	N	N	N	N	N	N	N	N	N	N	-	-	-	-	-	-	-	-	-	-	-	-	W	W	-
C	C	C	C	-	C	C	C	C	C	C	C	C	C	C	C	C	C	-	-	-	-	-	-	-	-	-	-	-	W	W	-	

Таблица 4. Конфигурация регистра RX_CONF_REG_429:

В таблице 4 обозначения: “R” (Read) – возможность чтение текущего значения данных, “W” (Write) – возможность записи данных, “NC” (No Change) – без изменений - с игнорируемым значением записываемых бит. Таким образом, запись основных параметров конфигурации приемника возможна только при значении бита 31 данного регистра в значении “0” (канал приемника выключен). При значении бита 31 в состоянии “1” (канал приемника включен) возможно только включение/выключение бит “RCV_DECODE” и “RCV_FLTR_DIS” это применяется, в основном, в целях отладки ПО.

Биты “RCV_PARCHECK” и “RCV_PARITY” определяют метод контроля четности принятых слов.

RCV_PARCHECK	RCV_PARITY	Вычисление четности	Бит 32 принятого слова
0	X	нет	Бит 32 принятого слова
0	X	нет	Бит 32 принятого слова
1	0	да	0 при нечетном значении разрядов 31 - 1
1	1	да	0 при четном значении разрядов 31 - 1

Таблица 5. Формирование бита четности в приемнике.

При включенном вычислении четности бит 32 принятого слова области DMA, установленный в значение “1”, соответствует ошибке четности принятого слова.

Бит “RCV_REVERSE” определяет порядок приёма бит 8 – 1 принимаемого слова. Значение “1” позволяет выводить в область DMA и память приемника принятые биты в порядке приема: 32 – 1. Значение “0” позволяет выводить в область DMA и память приемника принятые биты в порядке приема: 32 – 9 и реверсивном порядке поля Label: 1 – 8. Дополнительным критерием правильности установки бита “RCV_REVERSE” может быть сравнение поля Label первого слова DMA приемника с битами 8 – 1 (7 - 0) принятого слова данных.

Биты “RCV_SDI” совместно с битом “RCV_DECODE” определяют возможность фильтрации принимаемых сообщений по полю SDI (идентификатор). При бите “RCV_DECODE” установленном в значение “1”,

будут приниматься только слова с полем SDI соответствующем установленному значению бит “RCV_SDI”, а так же разрешенные в регистре «LBL_CONF_REG_PCI_x», остальные слова сообщения приниматься не будут.

Биты “RSV_RATE” определяют скорость приема данных. Рекомендуется использовать только стандартные значения скорости принимаемых данных.

Значение “100” – скорость приема данных 100 кбит/с;

Значение “010” – скорость приема данных 12 – 14,5 кбит/с;

Значение “110” – скорость приема данных 50 кбит/с;

Значение регистра “001” – скорость приема устанавливается через значение делителя частоты “RCV_CUST_R”. Этот режим используется только при полном понимании пользователя в необходимости данного режима. Данный режим предназначен только для возможности приема данных от устройств, где скорость приема была установлена “по согласованию, или определена нормативно – технической документацией” для данных устройств.

Биты “RCV_CUST_R” позволяют устанавливать значение для делителя частоты приема при значении бит “RSV_RATE” = 001. Значение частоты определяется как $2000000/\text{скорость приема}$. Для скорости 100 кбит/с значение будет равно $\frac{2000000}{100000} = 20$ (14h).

Полученное значение должно находиться в пределах $2 < X < 180$. В противном случае запись 1 в поле RX_EN блокируется. *Подробнее см. раздел 5.*

Бит “RCV_DECODE” - значение 1 разрешает фильтрацию поля “RCV_SDI” (идентификатор). В результате будут приниматься данные содержащие только установленный этим полем идентификатор.

Бит “RCV_FLTR_DIS” - значение 1 запрещает фильтрацию адресов, установленную в регистрах LBL_CONF_REG_PCI_x. В результате будут приниматься данные со всех адресов, не зависимо от значений регистров LBL_CONF_REG_PCI_x.

Дополнительно модули xPCIe-708UD2 позволяют определять среднюю длительность принятых бит (T), измеренную на частоте $10 \cdot F_{\text{пр}}$, измерение производится при приеме всех 32 бит слова с последующим делением полученного значения на 32. Полученное значение является справочным и не может использоваться в качестве поверочного значения. Данные измерения находятся в слове 2 DMA приемника (RX_BITLENGTH). При совпадении тактовых частот приемника/передатчика значение должно быть в пределах 9 – 11 (десятичное значение).

После конфигурации приемника и записи в “1” бита “RX_EN” регистра «RX_CONF_REG» дополнительных действий в программировании приемника не требуется – приемник начинает прием данных.

Приёмник начинает прием данных только после определения паузы в линии между словами больше $4T$. Это необходимо учитывать при написании тестовых программ: сначала запускается приемник, затем через время $> 4T$ запускается передатчик. В противном случае, первое слово, переданное передатчиком, принято не будет.

Примем основные параметры для различных скоростей передачи данных. Длительность бита данных для различных скоростей передачи данных:

- 100 кбит/с – $T = 0.01$ мс;
- 50 кбит/с – $T = 0.02$ мс;
- 12,5 кбит/с – $T = 0.08$ мс;

Длительность слова передачи = 32 бита + TX_GAP_BITS (= 4 по умолчанию) для различных скоростей передачи данных:

- 100 кбит/с – $T*32 + T*4 = 0.36$ мс;
- 50 кбит/с – $T*32 + T*4 = 0.72$ мс;
- 12,5 кбит/с – $T*32 + T*4 = 2.88$ мс;

Совет 1: при необходимости вычисления паузы между принятыми сообщениями (состоят из нескольких слов) и точным знанием скорости передачи можно воспользоваться данными, полученными из разности двух смежных слов 3 DMA приемника (FREE_TIMER).

Например: приемником принято сообщение из нескольких слов данных на скорости 100 кбит/с со следующими значениями FREE_TIMER приемника.

В примере использованы реальные данные FREE_TIMER, переведенные в десятичный вид, скорость передачи 100 кбит/с (первая цифра – номер слова).

11= 4133939,3; 12= 4133939,5; 13= 4133940,0; 14= 4133940,5; 15= 4133940,8; 16= 4134136,0;

Разность слов 12 и 11 = 0,2 мс

Разность слов 13 и 12 = 0,5 мс

Разность слов 14 и 13 = 0,5 мс

Разность слов 15 и 14 = 0,3 мс

Разность слов 16 и 15 = 195,2 мс

Для скорости 100 кбит/с максимальная длительность слова передачи $T*32 + T*40 = 0,72$ мс. Отсюда следует, что разность слов 16 и 15 является паузой между принятыми сообщениями, она значительно превышает интервал $0.01*32 + 0.01*40 = 0,72$ мс.

Совет 2: при необходимости вычисления паузы между принятыми словами и точным знанием скорости передачи можно воспользоваться данными, полученными из слова 3 DMA приемника (FREE_TIMER).

Например: приемником принято сообщение из 16 слов данных на скорости 100 кбит/с со следующими значениями FREE_TIMER приемника. В примере использованы реальные данные DMA, переведенные в десятичный вид, скорость передачи 100 кбит/с (первая цифра – номер слова).

0= 4133935.3; 1= 4133935.5; 2= 4133936.0; 3= 4133936.5; 4= 4133936.8; 5= 4133936.8; 6= 4133937.5; 7= 4133937.5; 8= 4133938.0; 9= 4133938.5; 10= 4133938.8; 11= 4133939.3; 12= 4133939.5; 13= 4133940.0; 14= 4133940.5; 15= 4133940.8;

Из времени получения последнего слова (15= 4133940.8;) вычитаем время получения первого слова (0= 4133935.3;), полученное значение делим на количество отсчетов DMA минус единица.

$$\frac{4133940.8 - 4133935.3}{15} = 0.36$$

Полученное значение является длительностью передаваемых 32 бит данных плюс пауза между словами данных (Рис. 2).

Разделив полученное значение на значение длительности бита (в данном случае на 0.01) получаем общее количество бит данных (36), из которых 32 бита собственно данные, а оставшиеся 4 бит, являются паузой между словами. В реальности пауза между словами для передатчика была установлена равной 4 битовым интервалам (4*Т).

Точность вычислений увеличивается при увеличении количества данных DMA и уменьшается с увеличением скорости приема данных.

4. Конфигурация передатчиков протокола ARINC429 модулей xPCIe-708UD2.

Конфигурация передатчиков протокола ARINC429 модулей xPCIe-708UD2 осуществляется путем программирования следующих регистров:

- Регистры разовых команд «ARINC429_SC_OUT», «ARINC429_SC_IN», «ARINC429_SC_INT_MASK»;
- Регистр конфигурации «TX_CONF_REG»;
- Регистр управления «TX_CONTROL_REG»;
- Регистр данных для режима работы 0 «TX_FIFO_REG»;
- Регистры памяти данных передатчиков «TX_DATA_RAM»;
- Регистры памяти дескрипторов передатчиков «TX_DESC_RAM»;

Регистры разовых команд (РК) являются общими для всех каналов приемников/передатчиков. Логическая привязка канала РК к каналу приемника/передатчика осуществляется с использованием библиотеки программного обеспечения, в свою очередь обеспечивающей выполнение РК «Запрос» и «Готовность».

Регистр «TX CONF REG» является основным регистром конфигурации передатчика.

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-
0	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	-	-	-	-	-	-	-	-
1	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	-	-	-	-	-	-	-	-
	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	-	-	-	-	-	-	-	-

Таблица 6. Конфигурация регистра TX_CONF_REG:

В данной таблице 6 обозначения: “R” (Read) – возможность чтение текущего значения данных, “W” (Write) – возможность записи данных, “NC” (No Change) – без изменений - с игнорируемым значением записываемых бит. Таким образом, запись основных параметров конфигурации передатчика возможна только при значении бита 31 данного регистра в значении “0” (канал передатчика выключен). При значении бита 31 в состоянии “1” (канал передатчика включен) значение данных в регистре изменить невозможно.

Биты “TX_PARCHECK” и “TX_PARITY” определяют метод контроля четности передаваемых слов.

TX_PARCHECK	TX_PARITY	Вычисление четности	Бит 32 передаваемого слова
0	X	нет	Бит 32 передаваемого слова данных
0	X	нет	Бит 32 передаваемого слова данных
1	0	да	0 при нечетном значении разрядов 31 - 1
1	1	да	0 при четном значении разрядов 31 - 1

Таблица 7. Формирование бита четности в передатчике

При включенном вычислении четности, бит 32 передаваемого слова будет аппаратно заменен вычисленным значением в соответствии со значением бита “TX_PARITY”, при этом значение записанного бита 32 игнорируется. При отключении вычисления четности, бит 32 будет передан без изменений в соответствии с записанным значением данных.

Бит “TX_REVERSE” определяет порядок передачи бит 8 – 1 передаваемого слова данных (Label). Значение “1” устанавливает порядок бит в передаваемом слове данных в порядке 8,7,6,5,4,3,2,1,9,10,11...32. При значении “0” данные будут переданы без перестановки бит 1,2,3,4...32.

Биты “TX_MODE” определяют режим работы передатчика:

- Режим 0 - “00” – режим работы с FIFO.
- Режим 1 - “01” – режим работы с внутренней памятью передатчика.
- Режим 3 - “11” – режим обратной связи (LOOP). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на выходе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. В остальном режим эквивалентен работе в режиме 0.

Более подробно работа передатчика в различных режимах будет рассмотрена ниже.

Биты “TX_GAP_BITS” определяют время паузы между сообщениями в единицах длительности бита (Рис. 2). Значение бит должно быть не менее 4d и, как правило, не более 40d. При записи значений менее 4d на аппаратном уровне будет установлено значение 4d. При записи значений более 40d на аппаратном уровне будет установлено значение 40d. Возможна запись только промежуточных значений от 4d до 40d.

Будьте внимательны при записи значений в эти биты.

Биты “TX RATE” определяют скорость передачи данных. Рекомендуется использовать только стандартные значения скорости передаваемых данных.

Значение “100” – скорость передачи данных 100 кбит/с;

Значение “010” – скорость передачи данных 12 – 14,5 кбит/с;

Значение “110” – скорость передачи данных 50 кбит/с;

Значение “001” – скорость передачи устанавливается через значение делителя частоты TX CUST R. Этот режим используется только при полном понимании пользователя в необходимости данного режима.

Данный режим предназначен только для возможности передачи данных к устройствам, где скорость приема была установлена “по согласованию, или определена нормативно – технической документацией” для данных устройств.

Биты “TX CUST R” позволяют устанавливать значение для делителя частоты передачи при значении бит “TX RATE” = 001. Значение частоты определяется как $\frac{2000000}{\text{скорость передачи}}$. Для скорости 100 кбит/с значение будет равно $\frac{2000000}{100000} = 20$ (14h). **Полученное значение должно находиться в пределах $2 < X < 180$. В противном случае запись 1 в поле TX EN блокируется.** *Подробнее см. раздел 5.*

Регистр «TX CONTROL REG» является регистром управления передатчика для режимов работы 1 и 2.

Биты “RRT_FB” (доступны только для чтения) позволяют в любой момент времени получить значение текущего времени таймера RRT (repetition rate timer) – таймер повтора цикла.

Бит “TX RR” определяет значение делителя частоты таймера RRT. **Значение может быть установлено только при установленном в 0 бите TX EN регистра TX CONF REG. В противном случае запись в регистр не производится.**

Значение 0 – 10 мс.

Значение 1 – 1 мс.

Биты “TX RRT” определяют период таймера RRT – максимальное значение таймера RRT, при достижении которого может быть произведен его перезапуск (время цикла).

Бит “TX SKIP RRT” **при установленном в 1 бите “TX EN” регистра «TX CONF REG»**, значение 1 позволяет не ожидать окончания работы таймера RRT в конце циклов для режима 1 и 2.

Значение 0 останавливает выполнение цикла до конца работы таймера RRT = TX_RRT. В конце цикла таймер перезапускается и начинает новый отсчет со значения 0.

Значение 1 позволяет в конце цикла перезапускать выполнения дескрипторов с начала, вне зависимости от значения таймера.

Бит “TX_START_STOP” при установленном в 1 бите “TX_EN” регистра «TX_CONF_REG», значение 1 запускает циклическую работу передатчика в режимах 1 и 2.

Значение 0 останавливает работу передатчика в режимах 1 и 2 после окончания текущего цикла.

Немедленная остановка работы передатчика (без ожидания конца цикла) осуществляется путем записи 0 в бит “TX_EN” регистра «TX_CONF_REG».

Бит “TX_START_ONES” при установленном в 1 бите “TX_EN” регистра «TX_CONF_REG», значение 1 запускает однократное выполнение цикла передатчика в режимах 1 и 2. После окончания цикла бит сбрасывается в 0 аппаратно. *Немедленная остановка работы передатчика (без ожидания конца цикла) осуществляется путем записи 0 в бит “TX_EN” регистра «TX_CONF_REG».*

Примечание: недопустима одновременная установка бит “TX_START_STOP” и “TX_START_ONES” в значение “1”.

Бит “TX_RAM_CLS” бит очистки памяти передатчика. Установка бита разрешена только при значении 0 бита “TX_EN”. Значение бита сбрасывается в 0 аппаратно после выполнения процедуры очистки. Основное назначение очистки – сброс признака NEW_DATA памяти передатчика. *Очистку рекомендуется производить перед началом работы с передатчиками, работающими в режиме 1, а так же после перезагрузки ПК. При аппаратном сбросе содержимое памяти не обнуляется. Время очистки памяти одного канала не более 3 мкс.*

Регистр «TX_FIFO_REG» регистр слова данных записи в FIFO. Бит 31 регистра соответствует биту 32, бит 0 соответствует биту 1 ГОСТ 18977-79. Структура устройства позволяет записывать данные до 4 слов подряд в одной транзакции PCIe. В линию биты передаются в порядке, определяемым значением бита “TX_REVERSE” регистра «TX_CONF_REG», а так же с учетом установленных значений для бита четности.

5. Режимы работы передатчика протокола ARINC429.

5.1 Режим работы передатчика протокола ARINC429 с FIFO.

Режим работы передатчика, при котором управление передачей сообщений полностью контролируется ПО. Данные от ПК записываются в FIFO передатчика и передаются до полного опустошения FIFO, затем цикл повторяется. Структура устройства позволяет записывать в FIFO до 4 слов подряд в одной транзакции. Каждому переданному слову соответствует цикл DMA. В каждом цикле к данным добавляется 3 слова: 2 слова статуса и метка реального времени – “FREE_TIMER”, соответствующая времени начала передачи слова данных. При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита “TX_RX_DMA_DIS” для данного канала. Режим работы с FIFO так же используется при работе в режиме 3 - режим обратной связи (LOOP). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на входе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. Режим предназначен для внутреннего тестирования канала. При этом конфигурации приемника и передатчика должны быть одинаковыми в части формирования четности, установки скорости и порядке бит адреса. Автоматическая конфигурация приемника и передатчика не производится. Перед началом работы в данном режиме должен быть сконфигурирован регистр «TX_CONF_REG».

- Биты “TX_PARCHECK” и “TX_PARITY” должны быть установлены в соответствующие значения.
- Бит “TX_REVERSE” определяет порядок передачи бит 8 – 1 передаваемого слова.
- Биты “TX_MODE” должны иметь значение “00” – режим работы с FIFO.
- Биты “TX_GAP_BITS” должны иметь значение не менее 4h (пауза между словами).
- Биты “TX_RATE” определяют значение одной из стандартных частот.

Конфигурация регистра «TX_CONTROL_REG» не производится. Данные начинают передаваться сразу после записи в регистр «TX_FIFO_REG» одного или нескольких слов данных. Количество записанных в FIFO данных отражается в битах “TX_FIFO_DEEP” первого слова DMA передатчика. Данные передаются с учетом установок произведенных в регистре «TX_CONF_REG» до полного опустошения FIFO. Пауза между сообщениями задается путем записи/отсутствия записи данных в FIFO. Для передачи следующего сообщения перепрограммирование регистров не производится. Передача следующего сообщения начинается так же после записи в регистр «TX_FIFO_REG» одного или нескольких слов данных.

5.2 Режим работы передатчика протокола ARINC429 с внутренней памятью.

Данный режим предназначен для автоматической передачи сообщений, записанных в память данных передатчика под управлением внутренней микропрограммы, из памяти дескрипторов передатчика.

Перед началом работы в данном режиме должен быть сконфигурирован регистр «TX_CONF_REG».

- Биты “TX_PARCHECK” и “TX_PARITY” должны быть установлены в соответствующие значения.
- Бит “TX_REVERSE” определяет порядок передачи бит 8 – 1 передаваемого слова.
- Биты “TX_MODE” должны иметь значение “01” – режим работы с внутренней памятью.
- Биты “TX_GAP_BITS” должны иметь значение не менее 4h (пауза между словами).
- Биты “TX_RATE” определяют значение одной из стандартных частот.

Также должен быть сконфигурирован регистр «TX_CONTROL_REG» для конфигурации таймера RRT.

- Бит “TX_RR” определяет значение делителя частоты таймера RRT
- Биты “TX_RRT” определяют период таймера RRT – максимальное значение таймера RRT, при достижении которого может быть произведен его перезапуск (время цикла).

Запуск циклической передачи данных осуществляется при установленном в “1” бите “TX_EN” регистра «TX_CONF_REG» записью в “1” бита “TX_START_STOP” регистра «TX_CONTROL_REG». При этом включение/выключение таймера RRT контролируется значением бита “TX_SKIP_RRT”.

Запуск однократной передачи цикла данных осуществляется при установленном в “1” бите “TX_EN” регистра «TX_CONF_REG» записью в “1” бита “TX_START_ONES” регистра «TX_CONTROL_REG». При этом таймер RRT должен быть выключен “TX_SKIP_RRT” = “1” или “TX_RRT” = 00000000.

Данный режим удобен при больших интервалах в передаче данных и позволяет во время пауз в передаче переписывать и область данных, и область дескрипторов передатчика при наличии такой необходимости. Так же этот режим удобно использовать при обработке РК «запрос/передача».

Примечание: недопустима одновременная установка бит “TX START STOP” и “TX START ONES” в значение “1”.

Память дескрипторов передатчика. Каждый дескриптор представляется одним 32-битным словом и определяет основную последовательность передачи данных, а так же содержит информацию, управляющую основными циклами передачи.

На рисунке 3 представлен порядок обработки дескрипторов контроллером передатчика. Выполнение последовательности от дескриптора 0 до дескриптора 255 или дескриптора, содержащего код операции END является циклом. После окончания цикла адрес дескрипторов устанавливается в значение 0. При установке бита TX_START_ONES регистра TX_CONTROL_REG в состояние 1, цикл выполняется однократно, после окончания цикла бит TX_START_ONES сбрасывается в 0 автоматически. Бит TX_START_STOP того же регистра установленный в 1, обеспечивает непрерывное повторение выполнения цикла.

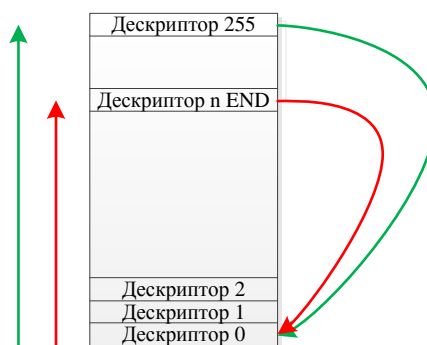


Рисунок 3. Порядок обработки дескрипторов.

Память данных передатчика. Содержит данные для передачи в линию. Память организована 32-битными словами с возможностью прямой адресации каждого слова. Запись в память данных со стороны ПК сопровождается автоматической установкой в 1 дополнительного бита данных (NEW_DATA). При чтении данных бит сбрасывается в 0 автоматически. Данный механизм позволяет, в зависимости от кода управления дескриптора, передавать записанные данные в линию однократно (при значении NEW_DATA = 0 данные не передаются), или непрерывно, вне зависимости от значения бита NEW_DATA.

При работе передатчика с внутренней памятью, поле дескриптора «Адрес (LABEL)», является условным и фактически адресует ячейку памяти данных передатчика, из которой будут отправлены данные. Значение ячейки памяти данных (биты 7 - 0) может не соответствовать полю дескриптора «Адрес (LABEL)».

Контроллер передатчика выполняет операции, записанные в памяти дескрипторов, а так же обеспечивает управление циклами передачи.

Каждому передаваемому слову соответствует цикл DMA. В каждом цикле к данным добавляется 3 слова: 2 слова статуса и метка реального времени - FREE_TIMER, соответствующая времени начала передачи слова данных. При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита "TX_RX_DMA_DIS" для данного канала. Адрес

последнего выполненного дескриптора отражается в битах “ DESC_ADDR” первого слова DMA передатчика.

Таймер RRT передатчика определяет время цикла передачи сообщения. Сброс таймера осуществляется автоматически в начале каждого цикла. Таймер RRT используется как вспомогательное средство сохранения длительности цикла. Достижение таймером значения = TX_RRT проверяется только в конце цикла. Если таймер достиг заданного значения до окончания цикла – **цикл и таймер перезапускаются после передачи всех данных текущего цикла.** В противном случае – вначале происходит ожидание достижения таймером заданного значения TX_RRT, затем перезапуск цикла и таймера.

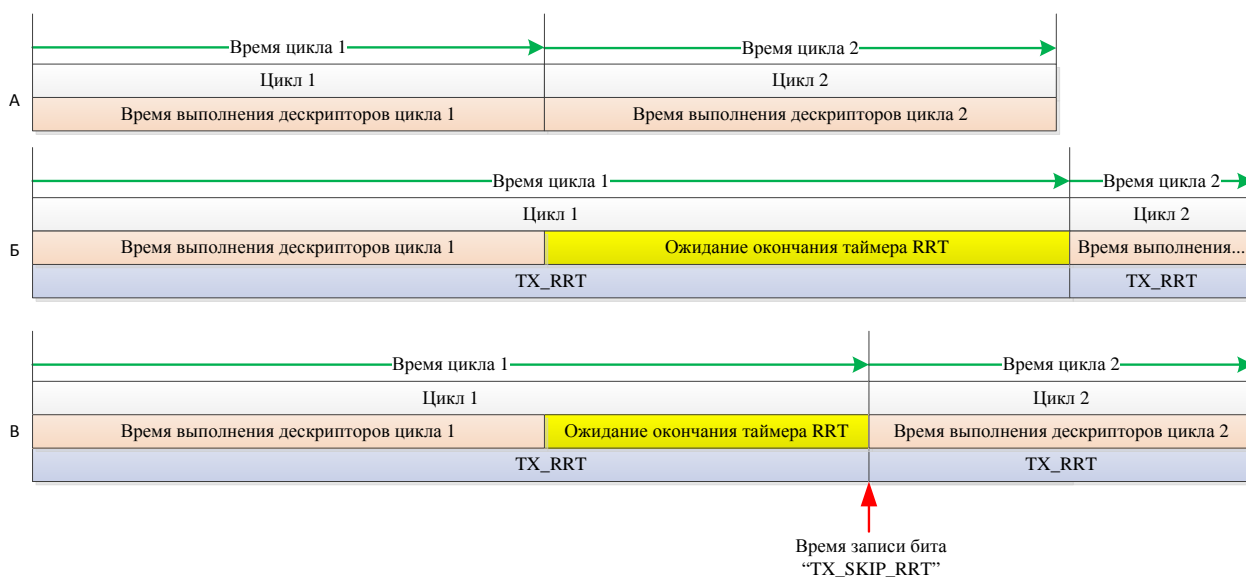


Рисунок 4. Связь времени выполнения цикла дескрипторов с таймером RRT.

На рисунке 4 представлена связь таймера RRT и циклом передачи сообщения при значении “1” бита “TX_START_STOP”.

- А – без использования таймера RRT (бит “TX_SKIP_RRT” в значение “1” или “TX_RRT” меньше времени цикла, “TX_RRT” = 00000000). В этом случае после выполнения последнего дескриптора, контроллер передатчика при работе в цикле, без паузы начнет обработку дескрипторов сначала.
- Б – с использованием таймера RRT. В этом случае после выполнения последнего дескриптора, контроллер передатчика будет ожидать окончания таймера RRT и только после этого начнет выполнять цикл сначала.
- В - с использованием таймера RRT и бита “TX_SKIP_RRT”. В этом случае, после установки бита “TX_SKIP_RRT” в значение “1”, контроллер не будет ожидать окончания работы таймера, а сразу перейдет к выполнению начала следующего цикла. Обратите внимание: бит “TX_SKIP_RRT” не сбрасывается аппаратно. Для возобновления работы таймера RRT бит должен быть сброшен в значение “0” программно.

В дополнение к таймеру RRT в дескрипторах присутствует код операции “DELAY”, позволяющий вводить задержки до 255 мс между дескрипторами (величина задержки определяется полем дескриптора PTP). При небольшой длине сообщений и интервалов между ними, весь цикл передачи можно организовать как набор подциклов с программируемыми интервалами между сообщениями (Рис. 5).

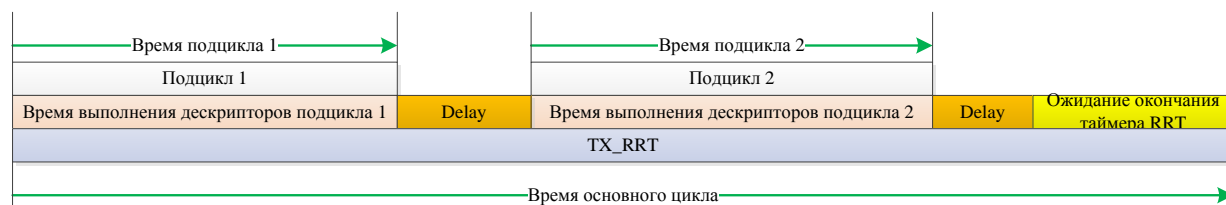


Рисунок 5. Использование операции “DELAY”.

На рисунке 4 представлено разбиение общего цикла дескрипторов на подциклы, а так же соотношение подциклов с таймером RRT. При необходимости таймер RRT может быть отключен установкой бита “TX_SKIP_RRT” в значение “1” или значением “TX_RRT” = 00000000.

Поля дескрипторов PTO (packet timer offset) – отступ начала цикла и PTP (packet timer period) – период выполнения цикла используются при совместной работе с таймером RRT (repetition rate timer) – таймер повтора. Иллюстрация выполнения дескрипторов, а так же изменение поля PTO, представлены на рисунке 6.

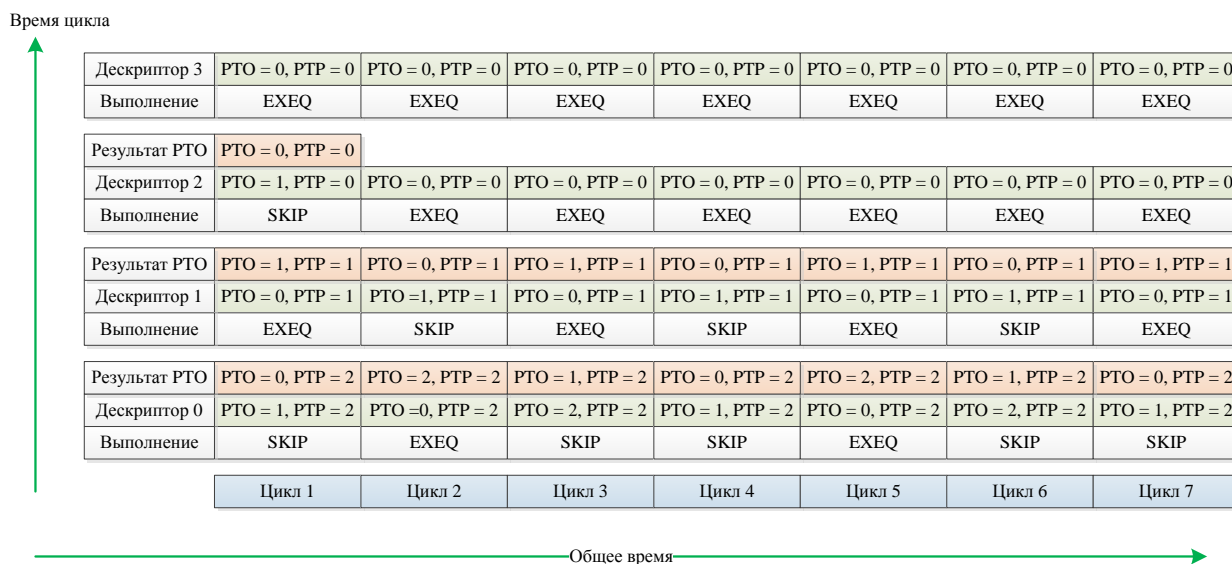


Рисунок 6. Иллюстрация выполнения дескрипторов, а так же изменение поля PTO.

На данной иллюстрации показана зависимость выполнения дескриптора от значения поля PTO. При значении PTO и PTP равном 0, код операции дескриптора выполняется всегда. В случае, когда PTO \neq 0, код операции не выполняется (за исключением кодов END и DELAY, которые выполняются всегда), значение PTO уменьшается на 1. Если PTO = 0, но PTP \neq 0, значение PTP

переписывается в поле PTO, код дескриптора выполняется. Алгоритм изменения поля PTO дескриптора представлен на рисунке 7.

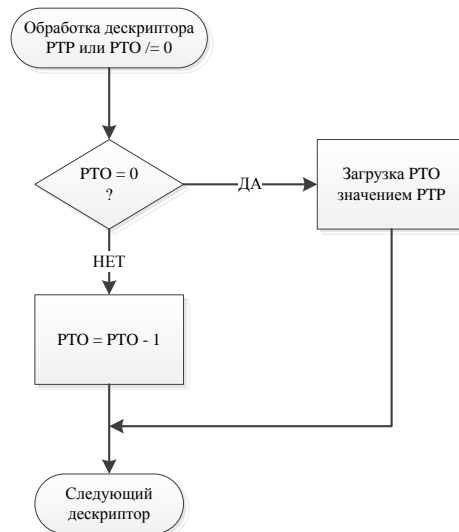


Рисунок 7. Алгоритм изменения поля PTO дескриптора.

На рисунке 8 представлена связь длительности цикла и таймера RRT для различных ситуаций передачи данных с учетом пропуска операций при значении PTO /= 0.



Рисунок 8. Связь работы таймера RRT с различными ситуациями времени выполнения циклов.

При каждой записи данных в память передатчика происходит установка в значение “1” служебного бита “New Bit”. Бит сбрасывается в “0” при чтении памяти передатчиком. При использовании кода операции “SEND_COND” (0011) данное условие позволяет не передавать в линию уже переданные из этого адреса данные. Данные будут передаваться только после перезаписи данной ячейки памяти (Рис. 9).



Рисунок 9. Формирование признака “New Bit” для режима работы с внутренней памятью.

6 Установка пользовательской скорости приема/передачи протокола ARINC429.

Необходимость установки пользовательской скорости может возникнуть для обеспечения совместимости с аппаратурой различных поколений связанной с неоднократными изменениями документа РТМ 1495-75 в части пункта «2.3 Временные характеристики сигнала (п.п.2.3.2 Скорость передачи данных)», а так же требованиям ГОСТ 18977-79 п.4.2 (Скорость передачи информации).

Перед установкой пользовательской скорости необходимо произвести аппаратное измерение скорости данных в линии и время паузы между сообщениями (осциллографом).

Так же возможно использовать ориентировочное известное значение скорости (с точностью не менее $\pm 20\%$). Значение частоты тактирования определяется как $2000000/\text{скорость линии}$. Например:

Для скорости 101 кбит/с значение будет равно $\frac{2000000}{101000} = 19,8$. Результатом является значение, округленное к ближайшему целому 20 (14h).

Для скорости 99 кбит/с значение будет равно $\frac{2000000}{99000} = 20,2$. Результатом является значение, округленное к ближайшему целому 20 (14h).

Дополнительно для передатчика необходимо установить время паузы между сообщениями “TX_GAP_BITS” (п.2.3.3 РТМ 1495-75), соответствующее текущим параметрам отсчета слов для данной линии.

Время нарастания/спада импульсов передачи устанавливается автоматически для скоростей передачи менее 36 кбит/с – 10 мкс, для скоростей передачи более 36 кбит/с – 1,5мкс.

7. Инициализация каналов ARINC429 модулей "xPCIe-708UD2".

Перед началом работы с модулем необходимо сконфигурировать каждый канал приемников и передатчиков в соответствии с заданным режимом работы.

7.1 Порядок программирования приемника ARINC429

Перед разрешением работы приемника должны быть установлены в соответствующее значение биты 30 – 14 регистра RX_CONF_REG. **Установка бит осуществляется записью в регистр необходимых значений с обязательно установленным в значение 0 битом 31.**

Запуск работы приемника осуществляется записью в бит 31 регистра RX_CONF_REG значения 1, при этом значение бит 30 – 14 регистра не изменяется. Биты 2 – 1 регистра RX_CONF_REG могут быть записаны при любом значении бита 31.

Приёмник начинает прием данных только после определения паузы в линии между словами больше 4T. Это необходимо учитывать при написании тестовых программ: сначала запускается приемник, затем через время > 4T запускается передатчик. В противном случае, первое слово, переданное передатчиком, принято не будет.

Остановка работы приемника производится путем записи в бит 31 регистра RX CONF REG значения 0, при этом могут быть переписаны значения бит 30 – 14 регистра RX CONF REG.

7.2 Порядок программирования передатчика ARINC429

При работе передатчика в режиме работы с внутренней памятью (режим 1) после перезагрузки ПК рекомендуется произвести очистку памяти передатчиков и приемников.

Перед очисткой памяти передатчика бит «TX_EN» регистра TX_CONF_REG должен быть установлен в значение 0. Очистка памяти осуществляется записью в регистр TX_CONTROL_REG значения 00000001h. После окончания очистки бит «TX_RAM_CLS» сбрасывается в 0 автоматически.

Перед разрешением работы передатчика должны быть установлены в соответствующее значение биты 30 – 8 регистра TX_CONF_REG, а так же бит 16 (TX_RR) регистра TX_CONTROL_REG.

В начале, при значении 0 бита 31 регистра TX_CONF_REG, производится запись в регистр TX_CONTROL_REG. **Установка бит регистра TX CONF REG осуществляется записью в регистр необходимых значений с обязательно установленным в значение 0 битом 31.**

Запуск работы передатчика осуществляется записью в бит 31 регистра TX_CONF_REG значения 1, при этом значение бит 30 – 8 регистра не изменяется.

Остановка работы передатчика производится путем записи в бит 31 регистра TX CONF REG значения 0, при этом могут быть переписаны значения бит 30 – 8 регистра TX CONF REG.

8. Общее понятие о высокоскоростной шине данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003).

В качестве кода передачи используется биполярный фазоманипулированный код (Манчестер II). Единица передается как биполярный кодированный сигнал 1/0 (за положительным импульсом следует отрицательный импульс). Нуль передается как биполярный кодированный сигнал 0/1 (за отрицательным импульсом следует положительный импульс). Переход через нулевой уровень осуществляется в середине интервала времени, в течение которого передается информационный разряд. Скорость передачи информационных разрядов должна быть 1 Мбит/с. Данные передаются блоками по 1600 бит. К началу каждого блока добавляется положительная синхронизация 1/0 длительностью 3 бита. К концу каждого блока добавляется отрицательная синхронизация 0/1 длительностью 3 бита. Таким образом, суммарная длительность каждого блока данных составляет 1606 бит или 1606 мкс (Рис. 10).

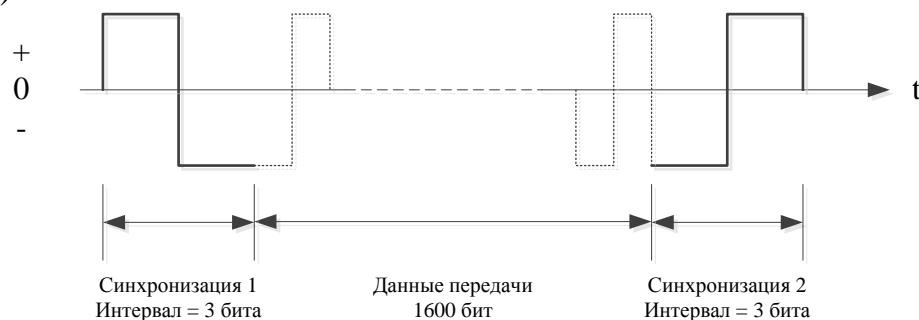


Рисунок 10. Структура блока данных высокоскоростной шины на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003).

Существует два типа порядка (очередности) передачи блоков данных: чересстрочный (interlaced) (Рис. 11) и последовательный (non-interlaced) (Рис. 12).

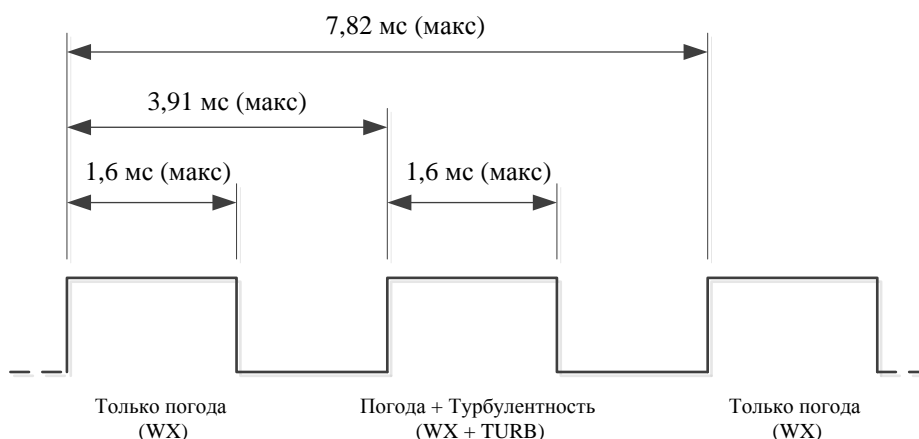


Рисунок 11. Чересстрочный (interlaced) порядок передачи данных (указана максимальная длительность).

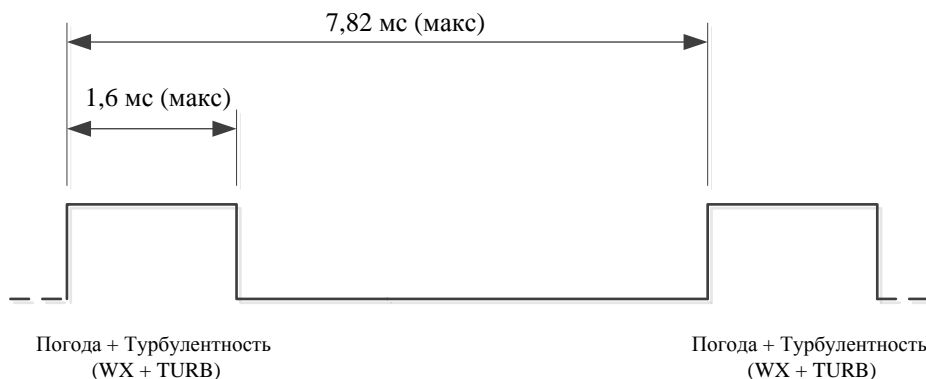


Рисунок 12. Последовательный (non-interlaced) порядок передачи данных (указана максимальная длительность).

В модулях xPCIe-708UD2 предусмотрена блочная передача данных. Каждый блок данных состоит из пятидесяти 32х битных слов данных, записываемых пользователем. При передаче к записанным данным автоматически добавляются 3 бита синхронизации 1 в начале блока данных и 3 бита синхронизации 2 в конце блока данных. При приеме синхронизация 1 и 2 отбрасываются от принятого блока данных.

Примечание: в модулях xPCIe-708UD2 первым передается бит 0 слова данных 0, последним передается бит 31 слова данных 49 для каждого блока данных. При приеме в каждом блоке данных первому принятому биту соответствует бит 0 слова 0, последнему – бит 31 слова 49.

9. Конфигурация приемников протокола высокоскоростной шины данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003).

Конфигурация приемников высокоскоростной шины данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003) модулей xPCIe-708UD2 осуществляется путем программирования следующих регистров:

- Регистр «RX_CONF_REG_708»

Регистр «RX_CONF_REG_708» является основным регистром конфигурации приемника.

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R	R
																														W	W	

Таблица 8. Конфигурация регистра RX_CONF_REG_708.

В таблице 8 обозначения: “R” (Read) – возможность чтение текущего значения данных, “W” (Write) – возможность записи данных.

Бит “A708_RX_OFF” - выключает работу приемника. Значение 1 этого бита запрещает работу приемника, значение 0 – разрешает. При этом в область DMA выводятся только первые два слова, слова данных не принимаются.

При выключенном приемнике в первом слове DMA всегда будут следующие значения:

Номер бита	Обозначение	Описание
20	RCV	0 – сообщение принято
19	SYNCH_ERR2	0 – ошибка синхронизации 2
18	SYNCH_ERR1	0 – ошибка синхронизации 1
17	LENG_ERR	0 – ошибка длины
16	MANCH_ERR	0 – ошибка кодировки «манчестер»

Бит “SHORT_DMA” – позволяет контролировать работу одноименного передатчика модуля без приема слов данных. Значение 1 этого бита запрещает выдачу данных приемником в область DMA, значение 0 – разрешает. При этом в область DMA выводятся только первые два слова, слова данных не выводятся.

При включении этого бита, возможен контроль правильности переданных данных:

Номер бита	Обозначение	Описание
20	RCV	1 – сообщение принято
19	SYNCH_ERR2	0/1 – ошибка синхронизации 2
18	SYNCH_ERR1	0/1 – ошибка синхронизации 1
17	LENG_ERR	0/1 – ошибка длины
16	MANCH_ERR	0/1 – ошибка кодировки «манчестер»

Для контроля данных передатчика своего канала биты A708_RX_OFF и SHORT_DMA должны иметь значение “00”. При этом передатчик своего (одноименного) канала должен быть включен.

При приёме данных из линии (не контроля данных передатчика своего канала) биты A708_RX_OFF и SHORT_DMA должны иметь значение “00”. При этом передатчик своего (одноименного) канала должен быть выключен.

При приеме в каждом блоке данных первому принятому биту соответствует бит 0 слова 0, последнему – бит 31 слова 49.

10. Конфигурация передатчиков протокола высокоскоростной шины данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003).

Конфигурация передатчиков высокоскоростной шины данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003) модулей xPCIe-708UD2 осуществляется путем программирования следующих регистров:

- Регистр управления передатчиком ARINC-708 «TX_CONF_REG_708»
- Регистр интервального таймера передатчика ARINC-708 «TX_TIME_REG_708»
- Регистр блока данных «TX708_DAT_BLOCK1»
- Регистр блока данных «TX708_DAT_BLOCK2»
- Регистр блока данных «TX708_DAT_BLOCK3»
- Регистр блока данных «TX708_DAT_BLOCK4»
- Регистр блока данных «TX708_DAT_BLOCK5»
- Регистр блока данных «TX708_DAT_BLOCK6»
- Регистр блока данных «TX708_DAT_BLOCK7»
- Регистр блока данных «TX708_DAT_BLOCK8»

Регистр «TX_CONF_REG_708» является основным регистром конфигурации передатчика.

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-	R	W	R	W

Таблица 9. Конфигурация регистра TX_CONF_REG_708.

В таблице 9 обозначения: “R” (Read) – возможность чтение текущего значения данных, “W” (Write) – возможность записи данных.

Биты “TX_MODE” – устанавливают режим работы передатчика:

- 00 – выключен
- 01 – однократная передача блока данных №1. Данные передаются только из блока данных №1.
- 11 – автоматическая передача блоков данных (блоки данных передаются последовательно от №1 до №8 в цикле с учетом времени ожидания интервального таймера).

Бит “TX_START” – запускает работу передатчика. При этом в режиме однократной передачи блока данных №1 бит “BUSY” на время передачи устанавливается в значение 1. После окончания передачи бит сбрасывается в 0. В режиме автоматической передачи блоков данных бит “BUSY” устанавливается в значение 1 до выключения передатчика, независимо от наличия или отсутствия данных. Перед установкой этого бита должен быть записан как минимум один блок данных.

Биты “R_NUM” – номер последнего переданного блока данных – 1. Значение 0h соответствует блоку данных №1, значение 7h соответствует блоку данных №8

Бит “RASTR_FB8” – отражает состояние блока данных №8 передатчика. Значение 1 – блок данных записан. Значение 0 – блок данных пуст (передан).

Бит “RASTR_FB7” – отражает состояние блока данных №7 передатчика. Значение 1 – блок данных записан. Значение 0 – блок данных пуст (передан).

Бит “RASTR_FB6” – отражает состояние блока данных №6 передатчика. Значение 1 – блок данных записан. Значение 0 – блок данных пуст (передан).

Бит “RASTR_FB5” – отражает состояние блока данных №5 передатчика. Значение 1 – блок данных записан. Значение 0 – блок данных пуст (передан).

Бит “RASTR_FB4” – отражает состояние блока данных №4 передатчика. Значение 1 – блок данных записан. Значение 0 – блок данных пуст (передан).

Бит “RASTR_FB3” – отражает состояние блока данных №3 передатчика. Значение 1 – блок данных записан. Значение 0 – блок данных пуст (передан).

Бит “RASTR_FB2” – отражает состояние блока данных №2 передатчика. Значение 1 – блок данных записан. Значение 0 – блок данных пуст (передан).

Бит “RASTR_FB1” – отражает состояние блока данных №1 передатчика. Значение 1 – блок данных записан. Значение 0 – блок данных пуст (передан).

Бит “BUSY” – отражает состояние передатчика. Значение 1 - выполняется передача данных или ожидание конца работы интервального таймера. Значение 0 – ожидание записи данных.

Вышеперечисленные биты позволяют просматривать состояние блоков данных и состояние передатчика в любой момент времени. Биты играют вспомогательную роль и предназначены для отладки программного обеспечения.

При работе передатчика в режиме автоматической передачи блоков данных значение бита “BUSY” = 1 и значение 0 во всех битах “RASTR_FBx” говорит о том, что передатчик находится в режиме ожидания данных. Передача начнется сразу после окончания записи ожидаемого блока данных. Последний переданный блок данных определяется битами “R_NUM”.

Регистр «TX TIME REG 708» является регистром интервального таймера передатчика ARINC-708. Регистр предназначен для введения временных интервалов между сообщениями при работе передатчика в автоматическом режиме.

Номер бита																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R	R	R	R	R
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	W	W	W	W	W	W	W	W	W	W	W	W	W	

Таблица 10. Конфигурация регистра TX_TIME_REG_708.

Биты «TX_TIMER» определяют значение интервального таймера с дискретностью 1 мкс, максимальное значение 8191 мкс. Используется только в автоматическом режиме работы передатчика.

Интервальный таймер загружает свое значение из регистра после окончания передачи текущего блока данных. По окончании отсчета интервального таймера будет передан следующий по порядку блок данных. В случае неготовности следующего блока данных, передача начнется после записи последнего слова в следующий по порядку регистр данных «TX708_DAT_BLOCKx».

Регистры блоков данных «TX708 DAT BLOCKx» являются блоками данных, предназначенными к передаче в автоматическом режиме. Каждый блок данных состоит из пятидесяти 32х битных слов (1600 бит). Первым передается бит 0 первого слова данных, последним – бит 31 последнего слова данных.

Номер бита																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

Таблица 11. Формат одного слова данных регистра блока данных TX708_DAT_BLOCKx.

11. Режимы работы передатчиков протокола высокоскоростной шины данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003).

11.1 Передатчик в режиме «однократная передача блока данных №1».

В режиме «однократная передача блока данных №1» управление передачей данных полностью осуществляется программным обеспечением.

Перед записью блока данных в регистре TX_CONF_REG_708 должен быть установлен соответствующий режим работы (биты TX_MODE). Запись блока данных возможна только после установки режима.

В режиме «однократная передача блока данных №1» данные передаются только из блока данных 1 передатчика.

Порядок программирования режима «однократная передача блока данных №1»:

- Запись в регистр TX_CONF_REG_708 значения 00000001h (биты TX_MODE)
- Запись 50 слов данных в блок данных №1 (TX708_DAT_BLOCK1)
- Запись в регистр TX_CONF_REG_708 значения 00000005h (биты TX_MODE и бит TX_START)
- Ожидание окончания передачи данных
- Запись 50 слов данных в блок данных №1 (TX708_DAT_BLOCK1)
- Программное ожидание интервала передачи между сообщениями
- Запись в регистр TX_CONF_REG_708 значения 00000005h (биты TX_MODE и бит TX_START)
- Ожидание окончания передачи данных
- Программное ожидание интервала передачи между сообщениями

Передача данных начинается сразу после записи бита TX_START в значении '1'. Для выключения передатчика в регистр TX_CONF_REG_708 записывается значение 00000000h. Контроль интервалов передачи данных должен быть полностью обеспечен прикладной программой пользователя.

11.2 Передатчик в режиме «автоматическая передача блоков данных».

В режиме «автоматическая передача блоков данных» все временные интервалы передачи данных обеспечиваются на аппаратном уровне.

Перед записью блока или блоков данных в регистре TX_CONF_REG_708 должен быть установлен соответствующий режим работы (биты TX_MODE). После установки режима возможна последовательная запись блоков данных от блока №1 до блока №8. В данном режиме должен быть использован интервальный таймер для контроля интервалов между сообщениями. Программируемый интервал таймера от 2 до 8191 мкс. Для точных расчетов следует учитывать длительность битов синхронизации в сообщении, с их учетом длительность передаваемого сообщения равняется 1606 мкс. Работа интервального таймера между концом и началом сообщений представлена на рисунке 13.

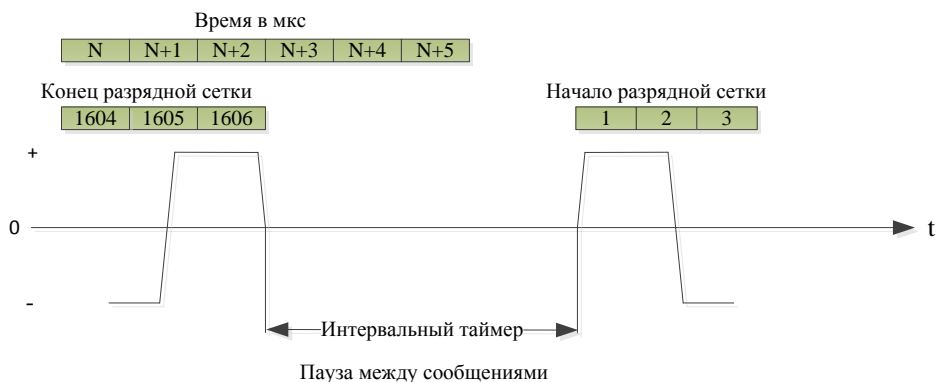


Рисунок 13. Работа интервального таймера между концом и началом сообщений.

Таким образом, при готовности данных в нескольких последовательных буферах и запрограммированном интервальном таймере, данные будут передаваться последовательно через запрограммированные интервалы времени.

Порядок передачи блоков данных, а так же алгоритм работы передатчика в данном режиме представлен на рисунке 14.

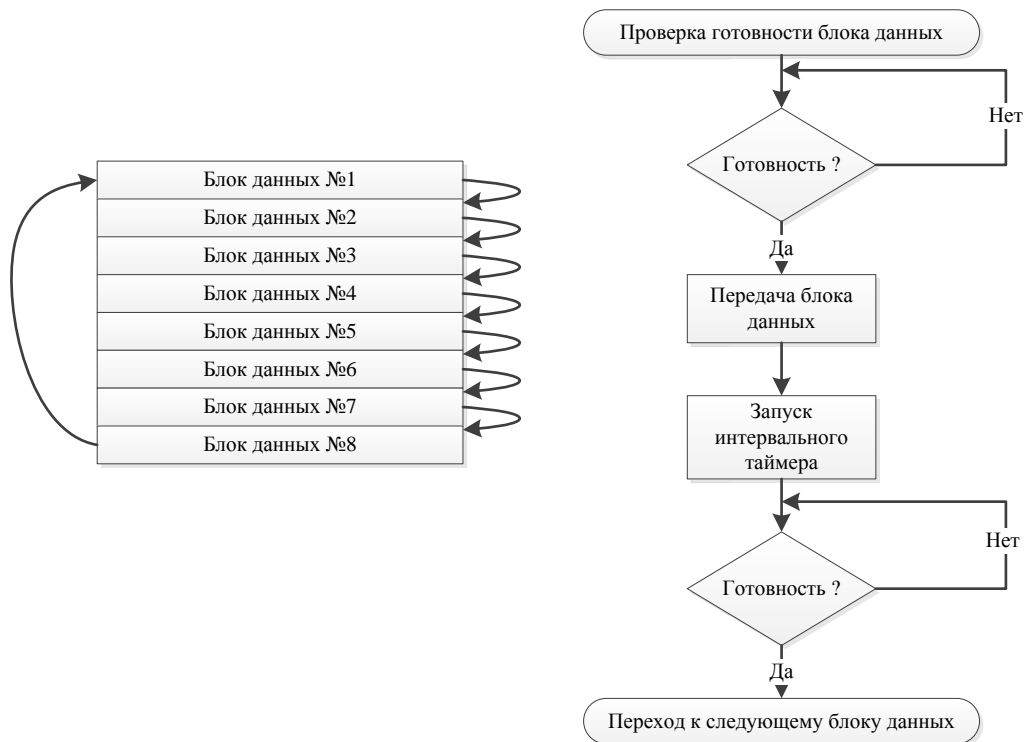


Рисунок 14. Порядок передачи блоков данных, а так же алгоритм работы передатчика в автоматическом режиме.

Из рисунка 14 видно, что данные передаются последовательно от блока данных №1 до блока данных №8, затем следует переход к блоку данных №1 и цикл повторяется.

Перед передачей данных всегда проверяется готовность текущего блока. В случае отсутствия готовности, следующий блок данных передаваться не будет, устройство будет ожидать готовности (записи данных) текущего блока. Данные начнут передаваться сразу после записи последнего слова в ожидаемый блок без дополнительного программирования регистров.

Номер последнего переданного блока данных, а также состояние блоков данных, доступны для чтения в любой момент времени в регистре «TX_CONF_REG_708». Эта информация также находится в первом слове DMA ARINC – 708.

Номер бита	Обозначение	Описание
15	CH_NUM_TR	Номер канала передатчика: 0 – канал 1 1 – канал 2
14 - 12	R_NUM	Номер последнего переданного блока - 1
11-9	-	Резерв.
8	TRM	1 – сообщение передано (только при включенном передатчике).
7	RASTR_FB8	1 – Блок данных №8 записан в память, 0 – блок данных №8 передан (пуст)
6	RASTR_FB7	1 – Блок данных №7 записан в память, 0 – блок данных №7 передан (пуст)
5	RASTR_FB6	1 – Блок данных №6 записан в память, 0 – блок данных №6 передан (пуст)
4	RASTR_FB5	1 – Блок данных №5 записан в память, 0 – блок данных №5 передан (пуст)
3	RASTR_FB4	1 – Блок данных №4 записан в память, 0 – блок данных №4 передан (пуст)
2	RASTR_FB3	1 – Блок данных №3 записан в память, 0 – блок данных №3 передан (пуст)
1	RASTR_FB2	1 – Блок данных №2 записан в память, 0 – блок данных №2 передан (пуст)
0	RASTR_FB1	1 – Блок данных №1 записан в память, 0 – блок данных №1 передан (пуст)

Таблица 12. Номер последнего переданного блока данных, а также состояние блоков данных в слове 1 DMA ARINC – 708.

Порядок программирования режима «автоматическая передача блоков данных»:

- Запись в регистр TX_CONF_REG_708 значения 00000003h (биты TX_MODE)
- Запись 50 слов данных в блок данных №1 (TX708_DAT_BLOCK1)
- Запись в регистр TX_CONF_REG_708 значения 00000007h (биты TX_MODE и бит TX_START)
- Запись 50 слов данных в блок данных №2 (TX708_DAT_BLOCK2)
- Запись 50 слов данных в блок данных №3 (TX708_DAT_BLOCK3)
- Запись 50 слов данных в блок данных №4 (TX708_DAT_BLOCK4)
- Запись 50 слов данных в блок данных №5 (TX708_DAT_BLOCK5)
- Запись 50 слов данных в блок данных №6 (TX708_DAT_BLOCK6)
- Запись 50 слов данных в блок данных №7 (TX708_DAT_BLOCK7)
- Запись 50 слов данных в блок данных №8 (TX708_DAT_BLOCK8)
- Ожидание передачи данных блока данных №1
- Запись 50 слов данных в блок данных №1 (TX708_DAT_BLOCK1)
-

Примечание: для непрерывной работы с соблюдением установленных временных интервалов должны быть готовы (записаны) как минимум два последовательных блока данных.

Передача данных начинается после записи бита TX_START в значении '1'. Повторной записи бита TX_START не требуется. При наличии готовности блоков данных, данные будут передаваться последовательно в цикле. Для выключения передатчика в регистр TX_CONF_REG_708 записывается значение 00000000h.

12. Совместная работа приемника и передатчика протокола высокоскоростной шины данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003).

В шине высокоскоростных данных на основе электрических параметров и принципа кодирования MIL-STD-1553B (ГОСТ Р 52070-2003) используются совмещенные приемопередатчики данных. Таким образом, выход передатчика на линию связи и вход приемника из одноименной линии связи соединены между собой. Соответственно модули “xPCIe-708UD2” одновременно содержат 2 передатчика и два приемника, которые объединены в два канала передачи или приема данных.

Возможные конфигурации для приема/передачи данных:

- 1. Передача данных без контроля переданных данных и статуса приема: передатчик работает в одном из двух режимов. Приемник выключен. В этом случае модуль не передает в DMA переданные слова данных. В DMA передаются только 2 слова статуса (без учета статуса приемника).
- 2. Передача данных без контроля переданных данных, но контролем статуса приема: передатчик работает в одном из двух режимов. Приемник включен. Бит “SHORT_DMA” = ‘1’. В этом случае модуль не передает в DMA переданные слова данных. В DMA передаются только 2 слова статуса с учетом статуса приемника.
- 3. Передача данных с контролем переданных данных и контролем статуса приема: передатчик работает в одном из двух режимов. Приемник включен. Бит “SHORT_DMA” = ‘0’. В этом случае модуль передает в DMA 2 слова статуса и переданные (принятые одноименным приемником) слова данных.
- Прием данных: **передатчик выключен**, приемник включен, бит “SHORT_DMA” = ‘0’. Модуль передает в DMA 2 слова статуса приемника и принятые приемником слова данных.

Примечание: для конфигурации приема данных недопустимо включение передатчика.

13. Список исправлений и изменений.

Дата	Версия	Изменение
16.03.2021	1.0	Документ создан
24.03.2021	1.01	Редакция раздела 7