



Руководство (v1.00)

**По программированию модулей
“xPCIe-717UD2”**

Интерфейс ARINC – 717

10.04.2023

ООО “НОВОМАР”

Оглавление

| | | |
|----------|--|----|
| 1 | Область применения | 4 |
| 2 | Расшифровка наименования модуля | 5 |
| 3 | Термины определения и сокращения | 6 |
| 4 | Структурная схема модуля xPCIe-717UD2 | 7 |
| 5 | Управление режимами работы и функциями модуля | 10 |
| | 5.1 Основные сервисные регистры модуля и регистры DMA | 10 |
| | 5.1.1 Регистр: DMA_DATA_BASE | 10 |
| | 5.1.2 Регистр: DMA_INDEX | 11 |
| | 5.1.3 Регистр: INTERRUPT | 12 |
| | 5.1.4 Регистр: INTERRUPT MASK..... | 13 |
| | 5.1.5 Регистр: ARINC429_DMA_DISABLE | 14 |
| | 5.1.6 Регистр: CTR_TIMEOUT_ABSOLUTE _x | 15 |
| | 5.1.7 Регистр: CTR_TIMEOUT_INTERVAL _x | 16 |
| | 5.1.8 Регистр: CTR_DATA_COUNTER _x | 17 |
| | 5.2 Регистры Разовых Команд | 18 |
| | 5.2.1 Регистр: ARINC429_SC_OUT..... | 18 |
| | 5.2.2 Регистр: ARINC429_SC_IN..... | 18 |
| | 5.2.3 Регистр: ARINC429_SC_INT_MASK..... | 19 |
| 6 | Работа приемника ARINC-429 | 20 |
| | 6.1 Регистры управления приемником | 21 |
| | 6.1.1 Регистр: LBL_CONF_REG_PCI_0..... | 21 |
| | 6.1.2 Регистр: LBL_CONF_REG_PCI_1..... | 21 |
| | 6.1.3 Регистр: LBL_CONF_REG_PCI_2..... | 22 |
| | 6.1.4 Регистр: LBL_CONF_REG_PCI_3..... | 22 |
| | 6.1.5 Регистр: LBL_CONF_REG_PCI_4..... | 23 |
| | 6.1.6 Регистр: LBL_CONF_REG_PCI_5..... | 23 |
| | 6.1.7 Регистр: LBL_CONF_REG_PCI_6..... | 24 |
| | 6.1.8 Регистр: LBL_CONF_REG_PCI_7..... | 24 |
| | 6.1.9 Регистр: RX_CONF_REG_429..... | 25 |
| | 6.2 Порядок программирования приемника ARINC-429 | 26 |
| | 6.3 Структура данных DMA для режима приемника ARINC-429 | 27 |
| | 6.3.1 Область DMA..... | 27 |
| 7 | Работа передатчика ARINC-429 | 28 |
| | 7.1 Регистры передатчика ARINC-429 | 30 |
| | 7.1.1 Регистр: TX_CONF_REG_429 | 30 |
| | 7.1.2 Регистр: TX_CONTROL_REG_429..... | 31 |
| | 7.1.3 Регистр: TX_FIFO_REG_429 | 32 |
| | 7.2 Распределение памяти для работы с передатчиками ARINC-429 (только режим работы 1) | 32 |
| | 7.2.1 Память данных передатчиков (TX_DATA_RAM_429)..... | 32 |
| | 7.2.2 Память дескрипторов передатчиков (TX_DESC_RAM_429)..... | 32 |
| | 7.2.3 Коды операций контроллера передатчика: | 33 |
| | 7.2.4 Работа контроллера передатчика ARINC-429:..... | 34 |
| | 7.3 Порядок программирования передатчика ARINC-429 | 36 |
| | 7.4 Структура данных DMA для режимов передатчика ARINC-429 | 37 |
| | 7.4.1 Слово 1 | 37 |
| | 7.4.2 Слово 2 | 37 |
| | 7.4.3 Слово 3 | 37 |
| | 7.4.4 Слово 4 | 37 |

| | | |
|------------|---|----|
| 8 | Работа канала ARINC-717. | 38 |
| 8.1 | Регистры каналов ARINC-717. | 39 |
| 8.1.1 | Регистр: RX_CONF_REG_717 | 39 |
| 8.1.2 | Регистр: RX_STAT_REG_717 | 41 |
| 8.1.3 | Регистр: TX_CONF_REG_717 | 42 |
| 8.1.4 | Регистр TX_STAT_REG_717 | 43 |
| 8.1.5 | TX717_FIFO_DAT | 45 |
| 8.2 | Порядок программирования канала ARINC-717. | 46 |
| 8.2.1 | Приемник. | 46 |
| 8.2.2 | Передатчик. | 46 |
| 8.3 | Область данных DMA ARINC - 717. | 47 |
| 8.3.1 | Слово данных | 47 |
| | Перечень вносимых изменений. | 48 |

1 Область применения

Настоящее руководство действительно для модулей:

"xPCIe-717UD2"

Модули "xPCIe-717UD2" интерфейса ARINC 717 разработаны специально для использования с бортовыми системами сбора и записи информации.

Количество слов данных интерфейса ARINC 717 (ARINC 573) от 32 до 8192 слов/с задается программно. Режим работы и тип кодирования интерфейса ARINC 717, приемник/передатчик также устанавливается программно.

Модули "xPCIe-717UD2" обеспечивают подключение ПК к двум последовательным интерфейсам ARINC-717 и до 4 интерфейсов ARINC-429.

Модули "xPCIe-717UD2" имеют 2 выхода передатчиков в кодировке HBR, 2 выхода передатчиков в кодировке BPRZ, 2 входа приемников с совмещенной кодировкой интерфейса ARINC-717, 2 зависимых передатчика интерфейса ARINC-429 (используются передатчики в кодировке BPRZ интерфейса ARINC-717) и 4 независимых приёмника ARINC-429 (последовательный код- ПК по ГОСТ 18977-79, и РТМ1495-75), 1 вход и 1 выход разовых команд.

Модуль "xPCIe-717UD2" выполнен в формате платы PCI Express Mini Card.

Модули "xPCIe-717UD2" рассчитаны на применение в тяжелых условиях эксплуатации и расширенного температурного диапазона от минус 60°C до +85°C.

Идентификатор на шине PCI-Express.

| Поле | Значение |
|--------------|---------------------|
| | xPCIe-717UD2 |
| Vendor ID | 0xA203 |
| Device ID | 0x9482 |
| Revision ID | 0x11 |
| SubVendor ID | 0xA203 |
| SubDevice ID | 0x9479 |
| ClassCode | 0x078000 |

2 Расшифровка наименования модуля.

| | | | | |
|---------------|------------|-----------|----------|------------|
| <u>mPCIe-</u> | <u>717</u> | <u>UD</u> | <u>2</u> | <u>-60</u> |
| <i>1</i> | <i>2</i> | <i>3</i> | <i>4</i> | <i>5</i> |

1. Форм фактор модуля и интерфейс подключения к ПК:
- **mPCIe** – PCI Express Mini Card;
2. Тип линии и протокол обмена:
- **717** – интерфейсы ARINC-717, последовательный интерфейс ARINC429 (последовательный код- ПК по ГОСТ 18977-79 и РТМ1495-75) и дискретные каналы (Разовые Команды - РК) по ГОСТ 18977-79;
3. Функциональное назначение:
- **UD** – Универсальное устройство;
4. Число каналов:
- **2** – 2 канала ARINC-717;
5. Температурный диапазон:
- **пробел** – минус 40...+85;
- **50** – минус 50...+85;
- **60** – минус 60...+85;

3 Термины определения и сокращения.

Список сокращений:

- ПК - персональный компьютер;
- СД - слово данных;
- DMA - прямой доступ к памяти;
- ПО - программное обеспечение;
- РК – Разовая Команда по ГОСТ 18977-79;
- НВР – Harvard Bi-Phase (тип кодирования);
- ВРРZ – Bi-polar Return –To-Zero (тип кодирования);

4 Структурная схема модуля xPCIe-717UD2

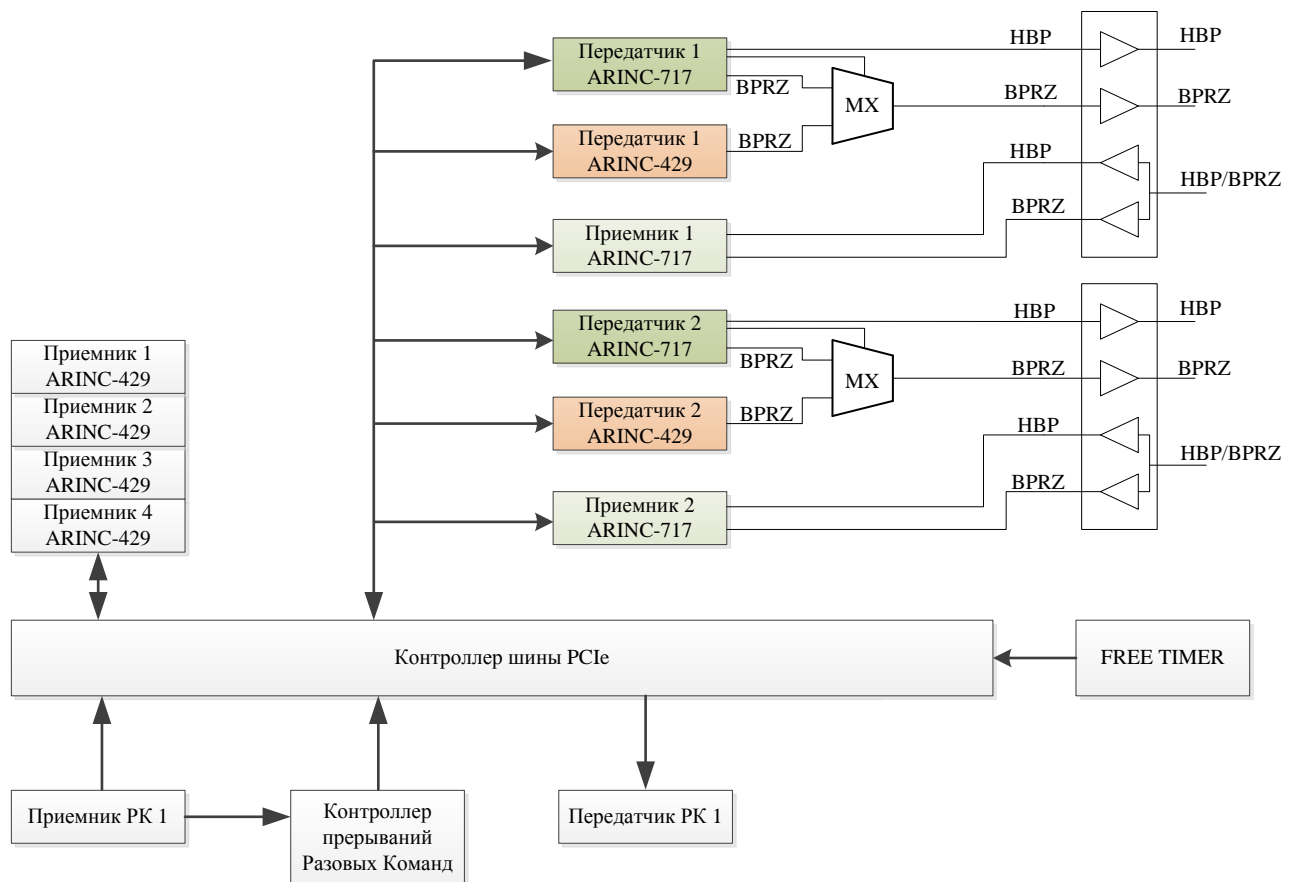


Рисунок 1. Структура модуля.

Модуль состоит из следующих основных компонентов:

- **4** независимых приемника шины ГОСТ 18977-79 (ARINC-429), обеспечивающих прием данных с возможностью фильтрации адресов;
- **2** независимых приемника ARINC-717 с возможностью выбора скорости приема и кодировки (HBP/BPRZ) независимо для каждого приемника;
- **2** независимых передатчика ARINC-717 с возможностью выбора скорости передачи и кодировки (HBP/BPRZ) независимо для каждого передатчика. При выборе типа кодировки BPRZ отключается соответствующий передатчик шины ГОСТ 18977-79 (ARINC-429);
- **2** зависимых канала передатчика ГОСТ 18977-79 (ARINC-429), обеспечивающих возможность передачи данных в одном из трех режимов, а так же организацию режима самотестирования (тест – петля). Передатчики являются зависимыми от режима работы (типа кодировки) соответствующего передатчика ARINC-717.
- неуправляемый 32-х разрядный таймер (FREE_TIMER), обеспечивающий каждую транзакцию DMA приемников и передатчиков ARINC-429 метками реального времени с дискретностью 100 мкс;
- **1** входной канал для приёма Разовых команд с возможностью генерации прерываний по любому фронту ПК (для xPCIe-717UD2);
- **1** выходной канал для выдачи Разовых команд (для xPCIe-717UD2);

– контроллер шины PCIe с функцией DMA, обеспечивающий возможность управления и обмена данными с ПК, а так же содержащий основные регистры необходимые для функций DMA и обработки прерываний, служебные регистры для обеспечения сервисных функций устройства;

– вспомогательные компоненты, обеспечивающие работоспособность и сервисные функции модуля (на схеме не указаны).

Таблица 1 описывает регистры модуля их название, адрес и возможные операции с регистром: запись – **W**, чтение – **R**, запись и чтение – **R/W**.

Таблица 1

| Адрес | Название | Read/ Write | Описание |
|-----------------------|---|----------------|--|
| 1000h | <u>DMA DATA BASE</u> | R/W | Базовый адрес буфера данных в памяти ПК |
| 1038h | <u>ARINC429 DMA DISABLE</u> | R/W | Запрещение работы каналов |
| 1040h, 1044h, 1048h | <u>DMA INDEX</u> | R/W | Указатель записи в буфере данных |
| 100Ch | <u>INTERRUPT</u> | R | Статус прерываний |
| 1010h | <u>INTERRUPT MASK</u> | R/W | Маска прерываний |
| 1050h, 1054h, 1058h | <u>CTR TIMEOUT ABSOLUTE</u> | R/W | Регистр абсолютного таймера |
| 1060h, 1064h, 1068h | <u>CTR TIMEOUT INTERVAL</u> | R/W | Регистр интервального таймера |
| 1070h, 1074h, 1078h | <u>CTR DATA COUNTER</u> | R/W | Регистр счётчика данных. |
| 1080h | <u>ARINC429 SC OUT</u> | R/W | Выходной регистр ПК |
| 1084h | <u>ARINC429 SC IN</u> | R | Входной регистр ПК |
| 1088h | <u>ARINC429 SC INT MASK</u> | R/W | Маска прерываний ПК |
| 1400h, + Nch *40h. | <u>LBL CONF REG PCI 0</u> | W | Регистр разрешения приема данных |
| 1404h, + Nch *40h. | <u>LBL CONF REG PCI 1</u> | W | Регистр разрешения приема данных |
| 1408h, + Nch *40h. | <u>LBL CONF REG PCI 2</u> | W | Регистр разрешения приема данных |
| 140Ch, + Nch *40h. | <u>LBL CONF REG PCI 3</u> | R/W | Регистр разрешения приема данных |
| 1410h, + Nch *40h. | <u>LBL CONF REG PCI 4</u> | R/W | Регистр разрешения приема данных |
| 1414h, + Nch *40h. | <u>LBL CONF REG PCI 5</u> | W | Регистр разрешения приема данных |
| 1418h, + Nch *40h. | <u>LBL CONF REG PCI 6</u> | W | Регистр разрешения приема данных |
| 141Ch, + Nch *40h. | <u>LBL CONF REG PCI 7</u> | W | Регистр разрешения приема данных |
| 1420h, + Nch *40h. | <u>RX CONF REG 429</u> | W | Регистр конфигурации приемника А-429 |
| 1428h, + Nch *40h. | <u>TX CONF REG 429</u> | R/W | Регистр конфигурации передатчика А-429 |
| 142Ch, + Nch *40h. | <u>TX CONTROL REG 429</u> | R/W | Регистр управления передатчиком А-429 |
| 1430h, + Nch *40h. | <u>TX FIFO REG 429</u> | R/W | Слово данных для передачи из FIFO А-429 |
| 1500h, + Nch *40h. | <u>RX CONF REG 717</u> | R/W | Регистр управления приемником ARINC-717 |
| 1504h, + Nch *40h. | <u>RX STAT REG 717</u> | R/W | Регистр статуса приемника ARINC-717 |
| 1528h, + Nch *40h. | <u>TX CONF REG 717</u> | R/W | Регистр управления передатчика ARINC-717 |

| | | | |
|-------------------------------|---------------------------------|-----|--|
| 152Ch, + Nch *40h. | TX_STAT_REG_717 | R/W | Регистр статуса передатчика ARINC-717 |
| 8000...83FCh, + Nch *800h. | TX_DATA_RAM_429 | R/W | Память данных передатчиков А-429 |
| 8400...87FCh, + Nch *800h. | TX_DESC_RAM_429 | R/W | Память дескрипторов передатчиков А-429 |
| 9000h, + Nch *800h. | TX717_FIFO_DAT | R/W | Данные для FIFO передатчиков ARINC-717 |

Адреса регистров указаны в виде смещения от базового адреса BAR0 устройства на шине PCI.

Запись в регистры должна производиться словами не менее 32 бит.

5 Управление режимами работы и функциями модуля.

5.1 Основные сервисные регистры модуля и регистры DMA.

5.1.1 Регистр: DMA_DATA_BASE

Адрес: 1000h

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | - | - | - | - | - | - | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |
| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 63 | 62 | 61 | 60 | 59 | 58 | 57 | 56 | 55 | 54 | 53 | 52 | 51 | 50 | 49 | 48 | 47 | 46 | 45 | 44 | 43 | 42 | 41 | 40 | 39 | 38 | 37 | 36 | 35 | 34 | 33 | 32 |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: базовый адрес буфера данных в памяти ПК (64бит)

| Номер бита | Обозначение | Описание |
|------------|-------------|---|
| 63-8 | DATA_BAR | Базовый адрес буфера данных. |
| 7-1 | RSRV | Не используются, должны быть "0". |
| 0 | DMA_EN | Разрешение работы DMA: "0" - выключено "1" - включено |

Данные записываются в память РС в 3 кольцевых буфера размером 1Мб каждый:

- **Канал DMA 1** - смещение "+000000" – все каналы ARINC-429;
- **Канал DMA 2** - смещение "+100000" – канал 1 **ARINC-717**;
- **Канал DMA 3** - смещение "+200000" – канал 2 **ARINC-717**;

Данные в буфере записываются от младших адресов к старшим.

Данные записываются блоками по 16 байт для ARINC-429. Для ARINC-717 блок может иметь размер 16 или 208 байт, но инкремент адреса всегда делается по **256 байт**. [«6.3 Структура данных DMA для режима приемника»](#) и [«7.4 Структура данных DMA для режимов передатчика»](#) и [«8.3 Область DMA ARINC – 717»](#).

По заполнению половины буфера и 1/16 (512 Кб и 64Кб, соответственно) генерируются прерывания, отображаемые в регистре **INTERRUPT**.

5.1.2 Регистр: DMA_INDEX

Адрес: 1040h (канал DMA 1), 1044h (канал DMA 2), 1048h (канал DMA 3)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| - | - | - | - | - | - | - | - | - | - | - | - | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | - | - |
| | | | | | | | | | | | | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: указатель записи в буфере данных.

| Номер бита | Обозначение | Описание |
|---|-------------|---|
| 31-20 | RSRV | Не используются, должны быть "0". |
| 19-2 | DATA_INDEX | Указатель записи в буфере данных. Для каналов ARINC-429 биты 2..3 всегда равны нулю. |
| 1-0 | RSRV | Не используются, "0". |
| При записи любого значения в регистр указатель сбрасывается в "0" | | |

Работа буфера данных производится по схеме FIFO.

Программа-драйвер должна иметь счетчик чтения данных. При старте системы оба счетчика равны нулю. При получении прерывания должен считываться указатель записи и сравниваться с указателем чтения. Если они различаются, то обрабатываются данные от указателя чтения (включительно) до указателя записи (исключая его) с учетом перехода через 0.



Рисунок 2. Указатели в буфере DMA.

При записи любого значения в регистр указателя записи **DMA_INDEX** он сбрасывается в '0'. Драйвер устройства должен отслеживать событие переполнения буферов данных в памяти ПК.

При необходимости, если ПК не успевает забирать данные, записанные платой, возможна временная остановка передачи данных в память ПК – сброс бита 0 регистра **DMA_DATA_BASE**. Для последующего запуска бит нужно снова установить в '1'.

5.1.3 Регистр: INTERRUPT

Адрес: 100Ch

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|---|----|---|----|---|----|---|----|---|----|---|----|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| - | 31 | - | 30 | - | 29 | - | 28 | - | 27 | - | 26 | - | 25 | - | 24 | - | 23 | - | 22 | - | 21 | - | 20 | R | 19 | R | 18 | R | 17 | R | 16 | R | - | 15 | - | 14 | - | 13 | - | 12 | - | 11 | - | 10 | - | 9 | - | 8 | R | - | 7 | - | 6 | R | 5 | R | 4 | R | 3 | R | 2 | - | 1 | R | 0 | R |

Описание: регистр прерывания.

| Номер бита | Обозначение | Описание |
|------------|------------------|---|
| 31..20 | RSRV | Не используются, "0". |
| 19 | ARINC429_INT_CH4 | Прерывание канала 4 ARINC429. |
| 18 | ARINC429_INT_CH3 | Прерывание канала 3 ARINC429. |
| 17 | ARINC429_INT_CH2 | Прерывание канала 2 ARINC429. |
| 16 | ARINC429_INT_CH1 | Прерывание канала 1 ARINC429. |
| 15..9 | RSRV | Не используются, "0". |
| 8 | ARINC429_INT_SC1 | Прерывание входных Разовых Команд линия 1. |
| 7 | RSRV | Не используются, "0".. |
| 6 | INT_TIMEOUT_ABS | Прерывание абсолютного таймера контроллера DMA. |
| 5 | INT_TIMEOUT_ITV | Прерывание интервального таймера контроллера DMA. |
| 4 | INT_DATA_CNT | Прерывание счётчика данных контроллера DMA |
| 3 | INT_FLASH | Прерывание контроллера флэш-памяти. |
| 2 | RSRV | Не используются, "0". |
| 1 | INT_QDAT | Прерывание по заполнению 1/16 буфера данных контроллера 1. |
| 0 | INT_HDAT | Прерывание по заполнению половины буфера данных контроллера 1 |

При чтении регистра все установленные биты регистра сбрасываются в "0".

5.1.4 Регистр: INTERRUPT MASK

Адрес: 1010h

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| - | - | - | - | - | - | - | - | - | - | - | - | R | R | R | R | - | - | - | - | - | - | - | R | - | R | R | R | R | - | R | R |
| | | | | | | | | | | | | W | W | W | W | | | | | | | W | | W | W | W | W | W | | W | W |

Описание: регистр маски прерываний

| Номер бита | Обозначение | Описание |
|------------|------------------|--|
| 31..20 | RSRV | Не используются, "0". |
| 19 | ARINC429_INT_CH4 | Разрешение прерывания канала 4 ARINC429. |
| 18 | ARINC429_INT_CH3 | Разрешение прерывания канала 3 ARINC429. |
| 17 | ARINC429_INT_CH2 | Разрешение прерывания канала 2 ARINC429. |
| 16 | ARINC429_INT_CH1 | Разрешение прерывания канала 1 ARINC429. |
| 15..9 | RSRV | Не используются, "0". |
| 8 | ARINC429_INT_SC1 | Разрешение прерывания входных Разовых Команд линия 1. |
| 7 | RSRV | Не используются, "0". |
| 6 | INT_TIMEOUT_ABS | Разрешение прерывания абсолютного таймера DMA. |
| 5 | INT_TIMEOUT_ITV | Разрешение прерывания интервального таймера DMA. |
| 4 | INT_DATA_CNT | Разрешение прерывания счётчика данных DMA |
| 3 | INT_FLASH | Разрешение прерывания контроллера флэш-памяти. |
| 2 | RSRV | Не используются, "0". |
| 1 | INT_QDAT | Разрешение прерывания по заполнению 1/16 буфера данных контроллера 1. |
| 0 | INT_HDAT | Разрешение прерывания по заполнению половины буфера данных контроллера 1 |
| | | 0 – прерывание запрещено, 1 – разрешено |

Генерация прерывания по каждому из событий может быть запрещена сбросом (установкой в 0) или разрешена (установкой в 1) соответствующего бита в регистре маски прерываний **INTERRUPT MASK**. Однако, независимо от значения маски, события продолжают отображаться в регистре прерывания. По умолчанию, после системного сброса все прерывания запрещены.

5.1.5 Регистр: ARINC429_DMA_DISABLE

Адрес: 1038h

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| . | . | . | . | . | . | . | . | . | . | . | . | . | . | R | R | . | . | . | . | . | . | . | . | . | . | . | . | . | R | R | R | R |
| | | | | | | | | | | | | | | W | W | | | | | | | | | | | | | W | W | W | W | |

Описание: Регистр выключения выключения DMA для отдельных каналов ARINC429.

| Номер бита | Обозначение | Описание |
|------------|-------------|---|
| 31..18 | RSRV | Не используются, "0". |
| 17 | DIS_TX_CH2 | Выключение DMA для канала 2 передачи ARINC429 |
| 16 | DIS_TX_CH1 | Выключение DMA для канала 1 передачи ARINC429 |
| 15..4 | RSRV | Не используются, "0". |
| 3 | DIS_RX_CH4 | Выключение DMA для канала 4 приёма ARINC429 |
| 2 | DIS_RX_CH3 | Выключение DMA для канала 3 приёма ARINC429 |
| 1 | DIS_RX_CH2 | Выключение DMA для канала 2 приёма ARINC429 |
| 0 | DIS_RX_CH1 | Выключение DMA для канала 1 приёма ARINC429 |

5.1.6 Регистр: CTR_TIMEOUT_ABSOLUTE_x

Адрес: 1050h(канал DMA 1), 1054h(канал DMA 2), 1058h(канал DMA 3)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| - | - | - | - | - | - | - | - | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| | | | | | | | | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: Регистр абсолютного таймера.

| Номер бита | Обозначение | Описание |
|------------|-------------|-----------------------------------|
| 31-24 | RSRV | Не используются, должны быть "0". |
| 23-0 | TIMER | Значение таймера в микросекундах. |

Абсолютный таймер запускается по получении первого сообщения из соответствующего канала DMA с момента последнего прерывания. После получения каждого последующего кадра счетчик не сбрасывается.

По достижении заданного значения в регистре **INTERRUPT** будет установлен соответствующий бит и сгенерировано прерывание (если данное прерывание разрешено). Таймер останавливается без рестарта при достижении установленного значения. Таймер может использоваться для чтения всех принятых сообщений за определённый временной период.

5.1.7 Регистр: CTR_TIMEOUT_INTERVALx

Адрес: 1060h(канал DMA 1), 1064h(канал DMA 2), 1068h(канал DMA 3)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| - | - | - | - | - | - | - | - | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| - | - | - | - | - | - | - | - | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: Регистр интервального таймера.

| Номер бита | Обозначение | Описание |
|------------|-------------|-----------------------------------|
| 31-24 | RSRV | Не используются, должны быть "0". |
| 23-0 | TIMER | Значение таймера в микросекундах. |

Интервальный таймер запускается по получении каждого сообщения из соответствующего канала DMA. То есть, после записи каждого последующего кадра счетчик будет сброшен и продолжит отсчет с нуля.

По достижении заданного значения в регистре **INTERRUPT** будет установлен бит 27 - 24 (INT_TIMEOUT_ITVx) и сгенерировано прерывание (если данное прерывание разрешено). Таймер останавливается без рестарта при достижении установленного значения. Таймер может быть использован для отслеживания редких сообщений в канале.

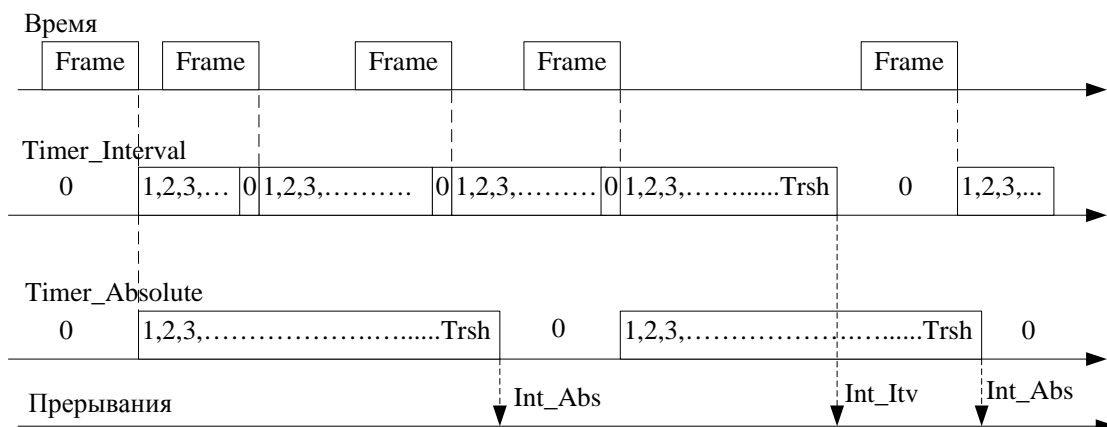


Рисунок 3. Работа интервального и абсолютного таймеров.

Единица счета абсолютного и интервального таймеров – 1 мкс.

5.1.8 Регистр: CTR_DATA_COUNTERx

Адрес: 1070h(канал DMA 1), 1074h(канал DMA 2), 1078h(канал DMA 3)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| | | | | | | | | | | | | | | | | | | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: Регистр счётчика данных.

| Номер бита | Обозначение | Описание |
|------------|-------------|-----------------------------------|
| 31-14 | RSRV | Не используются, должны быть "0". |
| 13-0 | COUNT | Значение счётчика сообщений. |

Счётчик данных считает сообщения.

По достижении заданного значения в регистре **INTERRUPT** будет установлен бит и сгенерировано прерывание (если данное прерывание разрешено). Таймер останавливается без рестарта при достижении установленного значения. Таймер может быть использован для накопления определённого количества сообщений, принятых из канала DMA.

5.2 Регистры Разовых Команд.

5.2.1 Регистр: ARINC429_SC_OUT

Адрес: 1080h

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | W | R | W | R | W |

Описание: Выходной регистр Разовых Команд.

Структура данных на запись:

| Номер бита | Обозначение | Описание |
|------------|-------------|-----------------------|
| 31-4 | RSRV | Не используются, "0". |
| 3-2 | SC2 | ПК канал 2 |
| 1-0 | SC1 | ПК канал 1 |

Запись ПК каждого канала происходит с помощью двух бит:

"01" – Установить ПК в «1» (активировать линию ПК)

"10" – Сбросить ПК в «0» (деактивировать линию ПК)

"00", "11" – не менять значение ПК

Структура данных на чтение:

| Номер бита | Обозначение | Описание |
|------------|-------------|-----------------------|
| 31-2 | RSRV | Не используются, "0". |
| 1 | SC2 | ПК канал 2 |
| 0 | SC1 | ПК канал 1 |

После сброса все линии ПК находятся в деактивированном состоянии

5.2.2 Регистр: ARINC429_SC_IN

Адрес: 1084h

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | R | R |

Описание: Входной регистр Разовых Команд.

Структура данных на чтение:

| Номер бита | Обозначение | Описание |
|------------|-------------|-----------------------|
| 31-2 | RSRV | Не используются, "0". |
| 1 | SC2 | ПК канал 2 |
| 0 | SC1 | ПК канал 1 |

5.2.3 Регистр: ARINC429_SC_INT_MASK

Адрес: 1088h

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | R | R | - | - | R | R | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | W | W | W | W | | | W | W |

Описание: Маска прерываний Разовых Команд.

Структура данных:

| Номер бита | Обозначение | Описание |
|------------|-------------|---|
| 31-6 | RSRV | Не используются, "0". |
| 5 | SC2_RISE | Разрешение прерывания по нарастающему фронту РК канал 2, наличие сигнала |
| 4 | SC1_RISE | Разрешение прерывания по нарастающему фронту РК канал 1, наличие сигнала |
| 3-2 | RSRV | Не используются, "0". |
| 1 | SC2_FALL | Разрешение прерывания по спадающему фронту РК канал 2, отсутствие сигнала |
| 0 | SC1_FALL | Разрешение прерывания по спадающему фронту РК канал 1, отсутствие сигнала |

6 Работа приемника ARINC-429.

Приемник может принимать данные со скоростью 12 – 14,5 кбит/с, 50 кбит/с и 100 кбит/с. Так же предусмотрен тестовый режим, позволяющий пользователю устанавливать частоту приема до 1 мбит/с. В приемнике реализована проверка данных на четность, проверка длительности паузы между сообщениями. Так же реализована фильтрация сообщений по адресам и оценка длительности битового интервала с точностью $\pm 10\%$.

Структурная схема приемника представлена на рисунке 4.

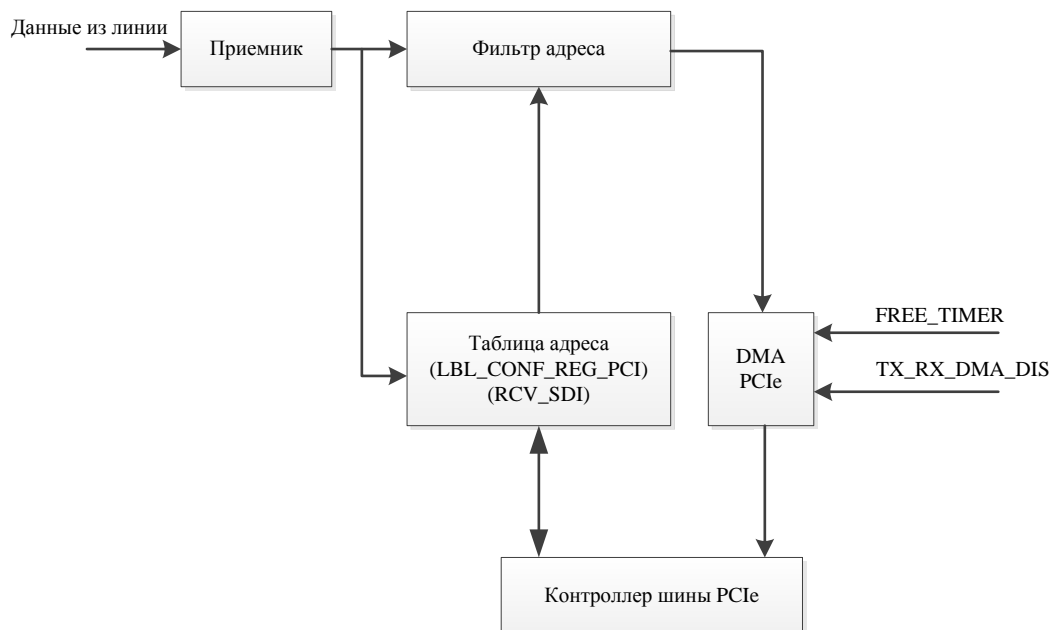


Рисунок 4. Структурная схема одного канала приемника.

Приемник состоит из собственно, приемника, декодирующего сигнал, приходящий из линии, таблицы фильтрации адресов, фильтра адресов, памяти данных и блока DMA PCIe для передачи принятых данных на шину PCIe.

Принятые и отфильтрованные данные поступают в блок DMA PCIe, где снабжаются 2 словами статуса и меткой времени, соответствующей окончанию приема слова данных ([6.3 Структура данных DMA для режима приемника](#)). При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита TX_RX_DMA_DIS для данного канала.

6.1 Регистры управления приемником.

6.1.1 Регистр: LBL_CONF_REG_PCI_0

Адрес: 1400h, 1440h, 1480h, 14C0h (каналов 1,2,3 и 4 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |

Описание: Разрешение или запрещение приема данных соответствующего адреса.

| Номер бита | Обозначение | Описание | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------------------|-------------|--|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31-0 | LBL 0-31 | Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 0 – 31 (адресу 0 соответствует бит 0, адресу 31 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

6.1.2 Регистр: LBL_CONF_REG_PCI_1

Адрес: 1404h, 1444h, 1484h, 14C4h (каналов 1,2,3 и 4 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |

Описание: Разрешение или запрещение приема данных соответствующего адреса.

| Номер бита | Обозначение | Описание | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------------------|-------------|--|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31-0 | LBL 32-63 | Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 32 – 63 (адресу 32 соответствует бит 0, адресу 63 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

6.1.3 Регистр: LBL_CONF_REG_PCI_2

Адрес: 1408h, 1448h, 1488h, 14C8h (каналов 1,2,3 и 4 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: Разрешение или запрещение приема данных соответствующего адреса.

| Номер бита | Обозначение | Описание | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------------------|-------------|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31-0 | LBL 64-95 | Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 64 – 95 (адресу 64 соответствует бит 0, адресу 95 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERSE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

6.1.4 Регистр: LBL_CONF_REG_PCI_3

Адрес: 140Ch, 144Ch, 148Ch, 14CCh (каналов 1,2,3 и 4 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: Разрешение или запрещение приема данных соответствующего адреса.

| Номер бита | Обозначение | Описание | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------------------|-------------|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31-0 | LBL 96-127 | Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 96 – 127 (адресу 96 соответствует бит 0, адресу 127 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERSE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

6.1.5 Регистр: LBL_CONF_REG_PCI_4

Адрес: 1410h, 1450h, 1490h, 14D0h (каналов 1,2,3 и 4 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: Разрешение или запрещение приема данных соответствующего адреса.

| Номер бита | Обозначение | Описание | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------------------|-------------|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31-0 | LBL 128-159 | Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 128 – 159 (адресу 128 соответствует бит 0, адресу 159 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

6.1.6 Регистр: LBL_CONF_REG_PCI_5

Адрес: 1414h, 1454h, 1494h, 14D4h (каналов 1,2,3 и 4 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: Разрешение или запрещение приема данных соответствующего адреса.

| Номер бита | Обозначение | Описание | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------------------|-------------|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31-0 | LBL 160-191 | Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 160 – 191 (адресу 160 соответствует бит 0, адресу 191 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERCE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

6.1.7 Регистр: LBL_CONF_REG_PCI_6

Адрес: 1418h, 1458h, 1498h, 14D8h (каналов 1,2,3 и 4 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: Разрешение или запрещение приема данных соответствующего адреса.

| Номер бита | Обозначение | Описание | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------------------|-------------|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31-0 | LBL 192-223 | Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 192 – 223 (адресу 192 соответствует бит 0, адресу 223 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERSE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

6.1.8 Регистр: LBL_CONF_REG_PCI_7

Адрес: 141Ch, 145Ch, 149Ch, 14DCh (каналов 1,2,3 и 4 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: Разрешение или запрещение приема данных соответствующего адреса.

| Номер бита | Обозначение | Описание | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------------------|-------------|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31-0 | LBL 224-255 | Позиционный номер бита соответствует декодированному адресу СД (биты 8 – 1). Данный регистр разрешает или запрещает прием данных в диапазоне адресов 224 – 255 (адресу 224 соответствует бит 0, адресу 255 соответствует бит 31). Запись 1 в соответствующий бит, разрешает прием данных для этого адреса. Порядок принятых бит адреса не зависит от значения бита «RCV_REVERSE» регистра RX_CONF_REG и всегда соответствует номеру позиции бита сообщения согласно ГОСТ 18977-79. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

6.1.9 Регистр: RX_CONF_REG_429

Адрес: 1420h, 1460h, 14A0h, 14E0h (каналов 1,2,3 и 4 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | R | R | R | - | R | R | R | R | R | R | R | R | R | R | R | R | R | - | - | - | - | - | - | - | - | - | - | - | R | R | R |
| 0 | W | W | W | - | W | W | W | W | W | W | W | W | W | W | W | W | W | - | - | - | - | - | - | - | - | - | - | - | W | W | W |
| 1 | N | N | N | - | N | N | N | N | N | N | N | N | N | N | N | N | N | - | - | - | - | - | - | - | - | - | - | - | W | W | N |
| | C | C | C | | C | C | C | C | C | C | C | C | C | C | C | C | C | | | | | | | | | | | | C | C | C |

Описание: Регистр конфигурации приемника

| Номер бита | Обозначение | Описание |
|------------|--------------|---|
| 31 | RX_EN | Значение 1 разрешает работу канала приема, значение 0 – запрещает. |
| 30 | RCV_PARCHECK | Значение 1 разрешает проверку четности разрядов 31 -1 принятого слова данных, значение 0 – запрещает. При разрешении проверки четности в старший бит принятого слова - бит 31 (бит 32 ГОСТ 18977-79) записывается значение 0, при совпадении четности. Значение 1 записывается при не совпадении четности. |
| 29 | RCV_PARITY | Значение 0 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при нечетном количестве единиц в разрядах 31- 1 принятого слова данных. Значение 1 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при четном количестве единиц в разрядах 31- 1 принятого слова данных (порядок бит, указан по ГОСТ 18977-79). |
| 28 | RCV_REVERCE | Значение 1 устанавливает исходный порядок бит в принятом слове данных: биты 32-9, биты 8-1. Значение 0 сохраняет принятый порядок данных: биты 32-9, биты 1-8 (порядок бит, указан по ГОСТ 18977-79). |
| 27 | - | Резерв |
| 26-25 | RCV_SDI | Биты определяют значение идентификатора, который должен быть принят (в принятом слове данных биты 10 и 9 по ГОСТ 18977-79). |
| 24-22 | RSV_RATE | Биты определяют скорость приема данных. Значение “100” – скорость приема данных 100 кбит/с Значение “010” – скорость приема данных 12 – 14,5 кбит/с Значение “110” – скорость приема данных 50 кбит/с Значение “001” – скорость приема устанавливается через значение делителя частоты RCV_CUST_R. Этот режим является нештатным и может быть использован только при полной ответственности пользователя за применение данного режима. |
| 21-14 | RCV_CUST_R | Биты определяют значение для делителя частоты приема. Значение частоты определяется как 2000000/скорость приема. Полученное значение должно находиться в пределах $2 < X < 180$. В противном случае запись 1 в поле RX_EN блокируется. |
| 13-3 | - | Резерв |
| 2 | RCV_DECODE | Значение 1 разрешает фильтрацию поля RCV_SDI. В результате будут приниматься данные содержащие только установленный идентификатор. |
| 1 | RCV_FLTR_DIS | Значение 1 запрещает фильтрацию адресов, установленную в регистрах LBL_CONF_REG_PCI_x. В результате будут приниматься данные со всех адресов, не зависимо от значений регистров LBL_CONF_REG_PCI_x. |
| 0 | - | Резерв |

6.2 Порядок программирования приемника ARINC-429

Перед очисткой памяти приемника бит «RX_EN» регистра RX_CONF_REG должен быть установлен в значение 0. Очистка памяти осуществляется записью в регистр RX_CONF_REG значения 00000001h. После окончания очистки бит «RCV_RAM_CLS» сбрасывается в 0 автоматически.

Перед разрешением работы приемника должны быть установлены в соответствующее значение биты 30 – 14 регистра RX_CONF_REG. **Установка бит осуществляется записью в регистр необходимых значений с обязательно установленным в значение 0 битом 31.**

Запуск работы приемника осуществляется записью в бит 31 регистра RX_CONF_REG значения 1, при этом значение бит 30 – 14 регистра не изменяется. Биты 2 – 1 регистра RX_CONF_REG могут быть записаны при любом значении бита 31.

Приемник начинает прием данных после определения состояния линии 0В (отсутствие информационного бита) в течении одного битового интервала для установленной скорости приема данных.

Остановка работы приемника производится путем записи в бит 31 регистра RX CONF REG значения 0, при этом могут быть переписаны значения бит 30 – 14 регистра RX CONF REG.

6.3 Структура данных DMA для режима приемника ARINC-429.

6.3.1 Область DMA.

Служебная область DMA содержит различные статусы, информацию об ошибках и другую сервисную информацию.

6.3.1.1 Слово 1

| Номер бита | Обозначение | Описание |
|------------|--------------|--|
| 31 | RX | Значение бита отражает источник данных: 0 – приемник. |
| 30 | RCV_PARCHECK | Значение бита 30 регистра RX_CONF_REG. |
| 29 | RCV_PARITY | Значение бита 29 регистра RX_CONF_REG. |
| 28 | RCV_REVERCE | Значение бита 28 регистра RX_CONF_REG. |
| 27-24 | RCV_CHAN_NUM | Номер канала приемника. |
| 23-22 | SID | Значение бит 10 - 9 принятого сообщения согласно ГОСТ 18977-79 |
| 21-14 | LABEL | Значение бит 8 - 1 принятого сообщения согласно ГОСТ 18977-79. <u>Данное значение всегда определено позиционным соответствием принятых бит, а не порядком их приема.</u> |
| 13-0 | - | Резерв |

6.3.1.2 Слово 2

| Номер бита | Обозначение | Описание |
|------------|----------------|---|
| 31 | RX | Значение бита отражает источник данных: 0 – приемник. |
| 30 | - | Резерв |
| 29-24 | RX_BIT_NUM_ERR | Номер бита, принятого с ошибкой кодировки. |
| 23 | RX_PAR_ERR | Ошибка четности. |
| 22 | RX_GAP_ERR | Ошибка паузы. |
| 21 | RX_BIT_ERROR | Ошибка кодировки бита. |
| 20 | - | Резерв |
| 19-15 | RX_BITLENGTH | Средняя длина принятых бит, измеренная на частоте 10*Fпр. |
| 14-0 | - | Резерв |

6.3.1.3 Слово 3

| Номер бита | Обозначение | Описание |
|------------|-------------|--|
| 31-0 | FREE_TIMER | Текущее значение неуправляемого таймера на момент окончания приема данных с дискретностью 100 мкс. |

6.3.1.4 Слово 4

| Номер бита | Обозначение | Описание |
|------------|-------------|--|
| 31-0 | DATA | Значение принятого слова данных. <u>Бит 31 определен конфигурацией бита четности в регистре RX_CONF_REG.</u> Биты 30-0 соответствуют битам 31-1 ГОСТ 18977-79. <u>Порядок вывода бит 7-0 (8-1 ГОСТ 18977-79) определен значением поля RCV_REVERCE.</u> |

7 Работа передатчика ARINC-429.

Каждый передатчик может работать в одном из 3х режимов передачи данных.

На рисунке 5 представлена структурная схема передатчика для режима 0 (00) – режим работы с FIFO.

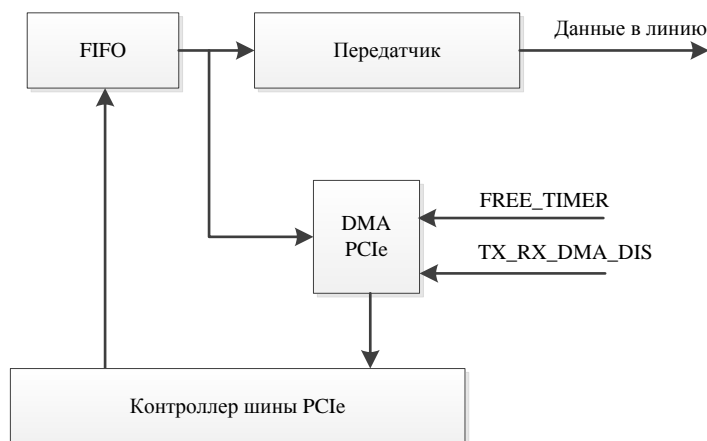


Рисунок 5. Структурная схема передатчика для режима 0 – режим работы с FIFO.

Самый простой режим работы передатчика. Данные от ПК записываются в FIFO передатчика и передаются до полного опустошения FIFO. Структура устройства позволяет записывать в FIFO до 4 слов подряд в одной транзакции. Каждому переданному слову соответствует цикл DMA. В каждом цикле к данным добавляется 3 слова: 2 слова статуса и метка реального времени - FREE_TIMER, соответствующая времени начала передачи слова данных. При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита TX_RX_DMA_DIS для данного канала. Режим работы с FIFO так же используется при работе в режиме 3 (11) - режим обратной связи (LOOP). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на входе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. Режим предназначен для внутреннего тестирования канала. При этом конфигурации приемника и передатчика должны быть одинаковыми в части формирования четности, установки скорости и порядке бит адреса. Автоматическая конфигурация приемника и передатчика не производится.

На рисунке 6 представлена структурная схема передатчика для режима 1 (01) – режим работы с внутренней памятью передатчика.

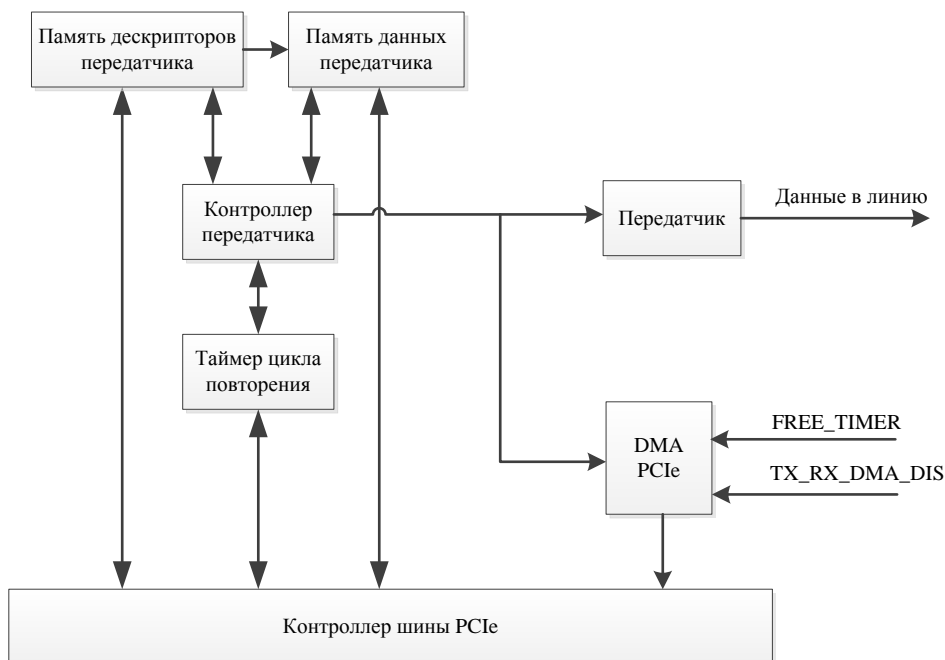


Рисунок 6. Структурная схема передатчика для режима 1 – режим работы с внутренней памятью передатчика.

Память дескрипторов передатчика (см. пункт 7.2.2 [Память дескрипторов передатчиков](#)). Каждый дескриптор представляется одним 32-битным словом и определяет основную последовательность передачи данных, а так же содержит информацию, управляющую основными циклами передачи.

Память данных передатчика (см. пункт 7.2.1 [Память данных передатчиков](#)). Содержит данные для передачи в линию. Память организована 32-битными словами с возможностью прямой адресации каждого слова. Запись в память данных со стороны ПК сопровождается автоматической установкой в 1 дополнительного бита данных (NEW_DATA). При чтении данных бит сбрасывается в 0 автоматически. Данный механизм позволяет, в зависимости от условия, передавать записанные данные в линию однократно (при значении NEW_DATA = 0 данные не передаются), или непрерывно, вне зависимости от того были перезаписаны данные или нет.

Контроллер передатчика выполняет операции, записанные в памяти дескрипторов, а так же обеспечивает управление циклами передачи.

Каждому передаваемому слову соответствует цикл DMA. В каждом цикле к данным добавляется 3 слова: 2 слова статуса и метка реального времени - FREE_TIMER, соответствующая времени начала передачи слова данных. При необходимости возможно отключение выдачи данных на шину PCIe установкой соответствующего бита TX_RX_DMA_DIS для данного канала.

7.1 Регистры передатчика ARINC-429

7.1.1 Регистр: TX_CONF_REG_429

Адрес: 1428h, 1468h (каналов 1 и 2 соответственно)

| | | Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---|---|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| | | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | - | - | - | - | - | - | - | - |
| 0 | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | - | - | - | - | - | - | - | - | |
| 1 | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | N | - | - | - | - | - | - | - | - | |
| | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | C | - | - | - | - | - | - | - | - | |

Описание: Регистр конфигурации передатчика

| Номер бита | Обозначение | Описание |
|------------|-------------|---|
| 31 | TX_EN | Значение 1 разрешает работу канала передачи, значение 0 – запрещает. |
| 30 | TX_PARCHECK | Значение 1 разрешает вычисление четности разрядов 31 -1 передаваемого слова данных, значение 0 – запрещает. При разрешении вычисления четности в старший бит передаваемого слова (бит 32) записывается значение согласно установленному критерию вычисления. |
| 29 | TX_PARITY | Значение 0 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при нечетном количестве единиц в разрядах 31-1 передаваемого слова данных. Значение 1 при установленном бите RCV_PARCHECK устанавливает значение бита четности 0 при четном количестве единиц в разрядах 31-1 передаваемого слова данных. |
| 28 | TX_REVERCE | Значение 1 устанавливает порядок бит в передаваемом слове данных в порядке 8,7,6,5,4,3,2,1,9,10,11...32. При значении 0 данные будут переданы без перестановки бит 1,2,3,4...32. |
| 27-26 | TX_MODE | Режим работы передатчика: Режим 0 - "00" – режим работы с FIFO. Режим 1 - "01" – режим работы с внутренней памятью передатчика. Режим 3 - "11" – режим обратной связи (LOOP). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на выходе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. В остальном режим эквивалентен работе в режиме 0. |
| 25-19 | TX_GAP_BITS | Время паузы между сообщениями в единицах длительности бита. Значение бит должно быть не менее 4d и, не более 40d. При записи значений менее 4d на аппаратном уровне будет установлено значение 4d. При записи значений более 40d на аппаратном уровне будет установлено значение 40d. Возможна запись только промежуточных значений от 4d до 40d. |
| 18-16 | TX_RATE | Биты определяют скорость передачи данных. Значение "100" – скорость передачи данных 100 кбит/с Значение "010" – скорость передачи данных 12 – 14,5 кбит/с Значение "110" – скорость передачи данных 50 кбит/с <u>Значение "001" – скорость передачи устанавливается через значение делителя частоты TX_CUST_R. Этот режим является нештатным и может быть использован только при полной ответственности пользователя за применение данного режима.</u> |
| 15-8 | TX_CUST_R | Биты определяют значение для делителя частоты передачи. Значение частоты определяется как 2000000/скорость передачи. <u>Полученное значение должно находиться в пределах 2 < X < 180. В противном случае запись 1 в поле TX_EN блокируется.</u> |
| 7-0 | - | Резерв |

7.1.2 Регистр: TX_CONTROL_REG_429

Адрес: 142Ch, 146Ch (каналов 1 и 2 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | R | R | R | R | R | R | R | - | - | - | - | - | - | - | R | R | R | R | R | R | R | R | R | - | - | - | - | R | R | R | R |
| | | | | | | | | | | | | | | | W | W | W | W | W | W | W | W | W | | | | | W | W | W | W |

Описание: регистр управления передатчиком

| Номер бита | Обозначение | Описание |
|------------|---------------|--|
| 31-24 | RRT_FB | Текущее значение таймера RRT в режиме 1. |
| 23-17 | - | Резерв. |
| 16 | TX_RR | Значение делителя частоты таймера RRT. <u>Значение может быть установлено только при установленном в 0 бите TX_EN регистра TX_CONF_REG. В противном случае запись не производится.</u> Значение 0 – 10 мс. Значение 1 – 1 мс. |
| 15-8 | TX_RRT | Период таймера RRT – максимальное значение таймера RRT, при достижении которого может быть произведен его перезапуск. |
| 7-4 | - | Резерв. |
| 3 | TX_SKIP_RRT | <u>При установленном в 1 бите TX_EN регистра TX_CONF_REG,</u> значение 1 позволяет не ожидать окончания работы таймера RRT в конце циклов для режиме 1. Значение 0 останавливает выполнение цикла до конца работы таймера RRT = TX_RRT. В конце цикла таймер перезапускается и начинает новый отсчет со значения 0. Значение 1 позволяет в конце цикла перезапускать цикл с начала вне зависимости от значения таймера. |
| 2 | TX_START_STOP | <u>При установленном в 1 бите TX_EN регистра TX_CONF_REG,</u> значение 1 запускает циклическую работу передатчика в режиме 1. Значение 0 останавливает работу передатчика в режиме 1 после окончания текущего цикла. <i>Немедленная остановка работы передатчика (без ожидания конца цикла) осуществляется путем записи 0 в бит TX_EN регистра TX_CONF_REG.</i> |
| 1 | TX_START_ONES | <u>При установленном в 1 бите TX_EN регистра TX_CONF_REG,</u> значение 1 запускает однократное выполнение цикла передатчика в режиме 1. После окончания цикла бит сбрасывается в 0 аппаратно. <i>Немедленная остановка работы передатчика (без ожидания конца цикла) осуществляется путем записи 0 в бит TX_EN регистра TX_CONF_REG.</i> |
| 0 | TX_RAM_CLS | Бит очистки памяти передатчика. <u>Установка бита разрешена только при значении 0 бита TX_EN.</u> Значение бита сбрасывается в 0 аппаратно после выполнения процедуры очистки. Основное назначение очистки – сброс признака NEW_DATA. <u>Очистку рекомендуется производить перед началом работы с передатчиками, работающими в режимах 1 и 2, а так же после перезагрузки ПК. При аппаратном сбросе содержимое памяти не обнуляется. Время очистки памяти одного канала не более 3 мкс.</u> |

7.1.3 Регистр: TX_FIFO_REG_429

Адрес: 1430h, 1470h (каналов 1 и 2 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | |

Описание: слово данных для передачи из FIFO

| Номер бита | Обозначение | Описание |
|------------|-------------|--|
| 31-0 | FIFO_DAT | Слово данных записи в FIFO. Бит 31 соответствует биту 32, бит 0 соответствует биту 1 ГОСТ 18977-79. Структура устройства позволяет записывать данные до 4 слов подряд в одной транзакции (например, для канала 1 с адреса 1430h по адрес 143Ch). В линию биты передаются в порядке, определяемым значением бита «TX_REVERCE» регистра TX_CONF_REG. |

7.2 Распределение памяти для работы с передатчиками ARINC-429 (только режим работы 1)

7.2.1 Память данных передатчиков (TX_DATA_RAM_429).

Адрес: 8000...83FCh, 8800...8BFCh (каналов 1 и 2 соответственно)

Структура данных:

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |

Бит 31 соответствует биту 32, бит 0 соответствует биту 1 ГОСТ 18977-79. В линию биты передаются в порядке, определяемым значением бита «TX_REVERCE» регистра TX_CONF_REG.

7.2.2 Память дескрипторов передатчиков (TX_DESC_RAM_429).

Адрес: 8400...84FCh, 8C00...8FFCh (каналов 1 и 2 соответственно)

Каждый дескриптор имеет следующий формат:

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-------------------------------|----|----|----|----|----|----|----|-------------------------------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|---|---|------------------------|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |
| Начало повторения цикла (PTO) | | | | | | | | Период повторения цикла (PTR) | | | | | | | | Адрес (LABEL) | | | | | | | | Код операции (op_code) | | | | | | | |

7.2.3 Коды операций контроллера передатчика:

| Обозначение | Код | Название и условие | Описание |
|-------------|------|--------------------------|---|
| END | 0000 | Конец последовательности | Данная операция означает окончание цикла последовательности, в случаях, когда последовательность цикла меньше 256 адресов. Все остальные поля дескриптора, содержащего код данной операции игнорируются, счетчик адреса сбрасывается в 0. Цикл начинается сначала. Значение поля PTO не оказывает воздействия на выполнение операции. |
| DELAY | 0001 | Задержка | Задерживает начало передачи следующего сообщения на значение, содержащееся в поле RTP * 1 мс. При RTP = 0 дескриптор пропускается, остальные поля данного дескриптора игнорируются. |
| SEND_UNC | 0010 | Передать данные | Безусловная передача слова данных из памяти передатчика, адрес которого определен полем "LABEL". Значение поля PTO /= 0 пропускает выполнение операции для данного цикла. |
| SEND_COND | 0011 | Передать данные | Передача слова данных из памяти передатчика, адрес которого определен полем "LABEL" будет произведена только в том случае, когда по этому адресу находится «новое» слово (слово записано, но не было передано, признак NEW_BIT = 1). После передачи признак NEW_BIT будет сброшен в 0. Значение поля PTO /= 0 пропускает выполнение операции для данного цикла. |

7.2.4 Работа контроллера передатчика ARINC-429:

На рисунке 7 представлен порядок обработки дескрипторов контроллером передатчика. Выполнение последовательности от дескриптора 0 до дескриптора 255 или дескриптора, содержащего код операции END является циклом. После окончания цикла адрес дескрипторов устанавливается в значение 0. При установке бита TX_START_ONES регистра TX_CONTROL_REG в состояние 1, цикл выполняется однократно, после окончания цикла бит TX_START_ONES сбрасывается в 0 автоматически. Бит TX_START_STOP того же регистра установленный в 1, обеспечивает непрерывное повторение выполнения цикла.

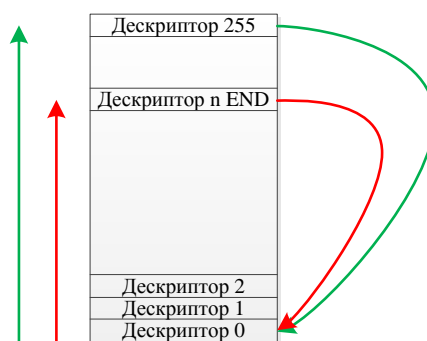


Рисунок 7. Порядок обработки дескрипторов.

Поля дескрипторов PTO (packet timer offset) – отступ начала цикла и PTP (packet timer period) – период выполнения цикла используются при совместной работе с таймером RRT (repetition rate timer) – таймер повтора. Иллюстрация выполнения дескрипторов, а так же изменение поля PTO, представлены на рис. 8.

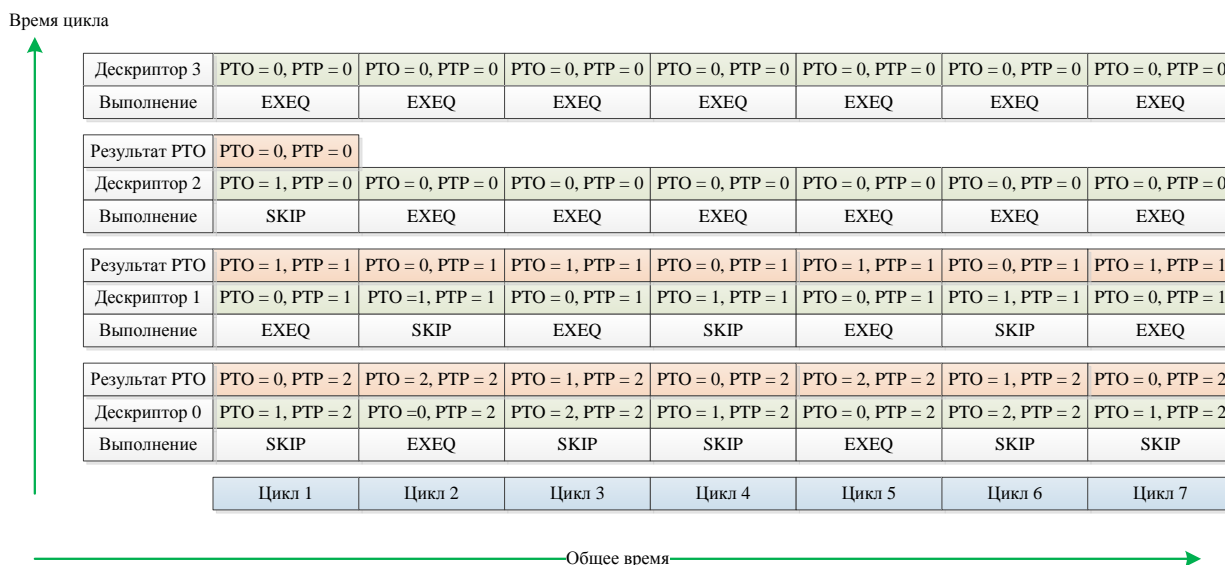


Рисунок 8. Иллюстрация выполнения дескрипторов, а так же изменение поля PTO.

На данной иллюстрации показана зависимость выполнения дескриптора от значения поля PTO. При значении PTO и PTP равном 0, код операции дескриптора выполняется всегда. В случае, когда PTO \neq 0, код операции не выполняется (за исключением кодов END и DELAY, которые выполняются

всегда), значение PTO уменьшается на 1. Если PTO = 0, но RTP ≠ 0, значение RTP переписывается в поле PTO, код дескриптора выполняется. Алгоритм изменения поля PTO дескриптора представлен на рисунке 9.

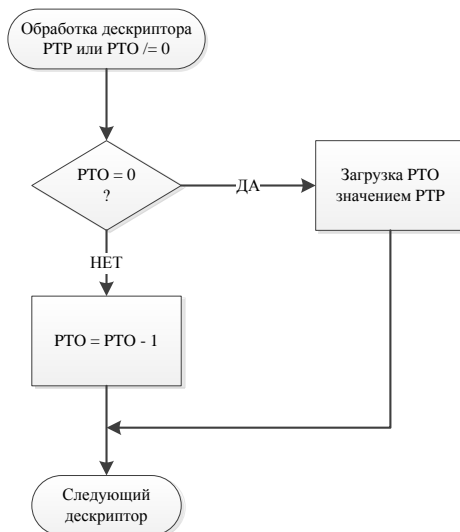


Рисунок 9. Алгоритм изменения поля PTO дескриптора.

При функционировании передатчика в режиме 2 и работой с памятью приемников возникает ситуация, когда приемники еще не получили данных, в результате передатчик выполняет «пустой цикл», длительность которого определяется только количеством обработанных дескрипторов без времени передачи данных. Для обеспечения постоянства циклов используется таймер RRT. При совместном использовании поля PTO ≠ 0 и таймера RRT в первом цикле выполнения дескрипторов, появляется возможность обеспечить постоянство выполнения первого и последующих циклов.

На рисунке 10 представлена связь длительности первого цикла и таймера RRT при PTO ≠ 0.

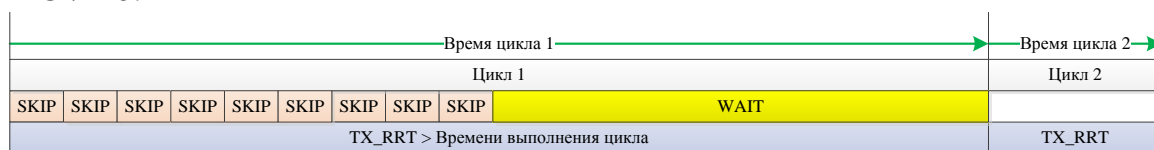


Рисунок 10. Связь длительности первого цикла и таймера RRT, PTO ≠ 0.

На рисунке 11 представлена связь длительности цикла и таймера RRT для различных ситуаций передачи данных.

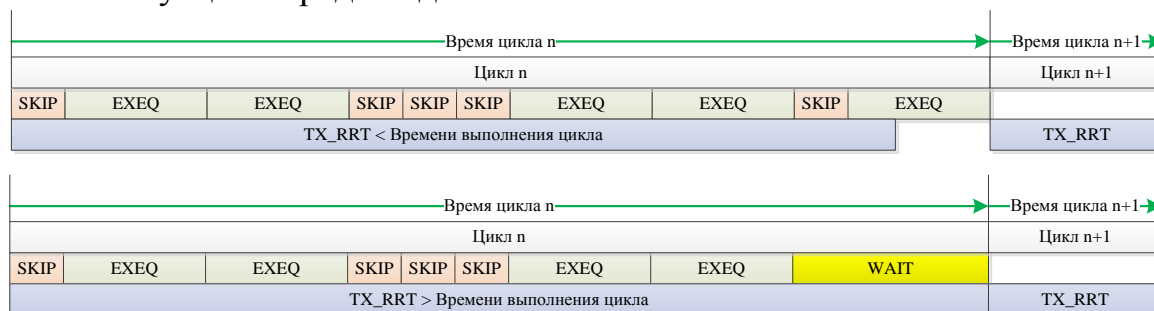


Рисунок 11. Связь работы таймера RRT с различными ситуациями времени выполнения циклов.

Таймер RRT используется как вспомогательное средство сохранения длительности цикла. Достижение таймером значения = TX_RRT проверяется только в конце цикла. Если таймер достиг заданного значения до окончания цикла – **цикл и таймер перезапускаются после передачи всех данных текущего цикла.** В противном случае – вначале происходит ожидание достижения таймером заданного значения TX_RRT, затем перезапуск цикла и таймера. Ожидание таймера можно отключить в любой момент времени установкой бита TX_SKIP_RRT = 1 в регистре TX_CONTROL_REG.

7.3 Порядок программирования передатчика ARINC-429.

Передатчики ARINC-429 являются зависимыми от режима работы передатчиков ARINC-717, при не соответствующих режимах работы их отключение производится автоматически. Более подробно см. пункт [Регистр TX_STAT_REG 717.](#)

Перед очисткой памяти передатчика бит «TX_EN» регистра TX_CONF_REG должен быть установлен в значение 0. Очистка памяти осуществляется записью в регистр TX_CONTROL_REG значения 00000001h. После окончания очистки бит «TX_RAM_CLS» сбрасывается в 0 автоматически.

Перед разрешением работы передатчика должны быть установлены в соответствующее значение биты 30 – 8 регистра TX_CONF_REG, а так же бит 16 (TX_RR) регистра TX_CONTROL_REG. В начале, при значении 0 бита 31 регистра TX_CONF_REG, производится запись в регистр TX_CONTROL_REG. **Установка бит регистра TX CONF REG осуществляется записью в регистр необходимых значений с обязательно установленным в значение 0 битом 31.**

Запуск работы передатчика осуществляется записью в бит 31 регистра TX_CONF_REG значения 1, при этом значение бит 30 – 8 регистра не изменяется.

Остановка работы передатчика производится путем записи в бит 31 регистра TX CONF REG значения 0, при этом могут быть переписаны значения бит 30 – 8 регистра TX CONF REG.

7.4 Структура данных DMA для режимов передатчика ARINC-429.

Служебная область DMA содержит различные статусы, время начала передачи сообщения, регистры ошибок и другие сервисные данные.

7.4.1 Слово 1

| Номер бита | Обозначение | Описание |
|------------|------------------------|--|
| 31 | TX | Значение бита отражает источник данных: 1 – передатчик. |
| 30 | TX_PARCHECK | Значение бита 30 регистра TX_CONF_REG. |
| 29 | TX_PARITY | Значение бита 29 регистра TX_CONF_REG. |
| 28 | TX_REVERCE | Значение бита 28 регистра TX_CONF_REG. |
| 27-24 | TX_CHAN_NUM | Номер канала передатчика. |
| 23-22 | SID | Значение бит 10 - 9 передаваемого сообщения согласно ГОСТ 18977-79 |
| 21-14 | LABEL | Значение бит 8 - 1 передаваемого сообщения согласно ГОСТ 18977-79. <u>Данное значение всегда определено позиционным соответствием бит источника передачи данных и не зависит от значения бита TX_REVERCE.</u> |
| 13-12 | - | Резерв |
| 11-4 | TX_FIFO_DEEP/DESC_ADDR | В зависимости от режима передачи: Количество записанных в FIFO данных для режимов 0 и 3. Адрес дескриптора передачи для режимов 1 и 2. |
| 3-2 | - | Резерв |
| 1-0 | TX_MODE | Режим работы передатчика |

7.4.2 Слово 2

| Номер бита | Обозначение | Описание |
|------------|-------------|--|
| 31 | TX | Значение бита отражает источник данных: 1 – передатчик. |
| 30-8 | - | Резерв |
| 7-0 | TX_RRT | Значение таймера RRT на начало момента передачи |

7.4.3 Слово 3

| Номер бита | Обозначение | Описание |
|------------|-------------|---|
| 31-0 | FREE_TIMER | Текущее значение неуправляемого таймера на момент начала передачи данных с дискретностью 100 мкс. |

7.4.4 Слово 4

| Номер бита | Обозначение | Описание |
|------------|-------------|--|
| 31-0 | DATA | Значение переданного слова данных. <u>Бит 31 определен конфигурацией бита четности в регистре TX_CONF_REG.</u> Биты 30-0 соответствуют битам 31-1 ГОСТ 18977-79. <u>Порядок вывода бит 7-0 (8-1 ГОСТ 18977-79) определен значением поля TX_REVERCE регистра TX_CONF_REG.</u> |

8 Работа канала ARINC-717.

Структурная схема одного канала ARINC-717 представлена на рисунке 12.

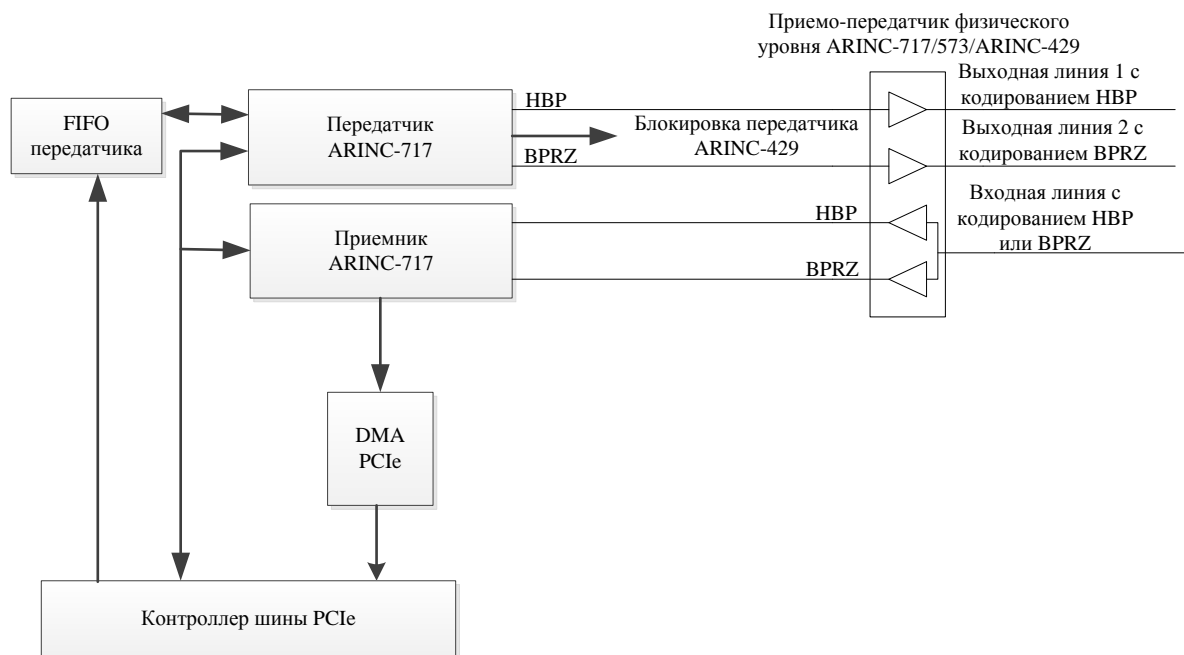


Рисунок 12. Структурная схема канала ARINC- 717.

Канал состоит из:

- Передатчика, блокирующего передачу данных ARINC-429, при работе с выбранной кодировкой BPRZ.
- FIFO данных передатчика глубиной до 512 тридцати двух битных слов (1024 двенадцати битных слова).
- Приемника, декодирующего сигнал, приходящий из линии в одной из выбранных кодировок (HBP/BPRZ).
- Блока DMA PCIe для передачи принятых данных на шину PCIe.
- Приемо-передатчика физического уровня совместимого со спецификациями ARINC-717-15/ARINC-573/ARINC-429 и обеспечивающего весь диапазон скоростей и типов кодирования.

Два принятых двенадцати битных слова данных перед поступлением в блок DMA PCIe преобразуются в 32 битное слово и снабжаются дополнительной сервисной информацией ([Область DMA ARINC - 717](#)).

8.1 Регистры каналов ARINC-717.

8.1.1 Регистр: RX_CONF_REG_717

Адрес: 1500h, 1540h (каналов 1 и 2 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| - | - | - | - | - | - | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | - | - | R | R | R | R | R | R | R | R | R | R |
| - | - | - | - | - | - | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | - | - | W | W | W | W | W | W | W | W | W | |

Описание: Регистр управления приемником ARINC-717.

| Номер бита | Обозначение | Описание |
|------------|-------------|--|
| 31-26 | - | Резерв. |
| 25 | DMA_LEN | Количество 32х битных слов данных DMA: Значение 0 – 1 слово Значение 1 – 4 слова |
| 24-12 | MATCH | Номер слова в субкадре, для которого должен быть установлен бит совпадения. |
| 11 | MATCH_ON | Значение 1 – разрешает установку бита совпадения в слове DMA. Значение 0 – запрещает установку бита совпадения в слове DMA. |
| 10-9 | - | Резерв. |
| 8-5 | WORD_LEN | Количество слов данных в принимаемом субкадре: 0111 – 8192 слова/сек (резерв ARINC-717) 0110 – 4096 слова/сек (резерв ARINC-717) 0101 – 2048 слова/сек (резерв ARINC-717) 0100 – 1024 слова/сек 0011 – 512 слова/сек 0010 – 256 слова/сек 0001 – 128 слова/сек 0000 – 64 слова/сек 1000 – 32 слова/сек (только для совместимости с ARINC-573) |
| 4 | BPRZ_MODE | Значение 1 – переводит приемник в режим декодирования данных кодировки BPRZ. Значение 0 – отключает декодирование данных в данном режиме. |
| 3 | HBP_MODE | Значение 1 – переводит приемник в режим декодирования данных кодировки HBP. Значение 0 – отключает декодирование данных в данном режиме. |
| 2 | SYNCH_2W | Количество последовательных принятых слов синхронизации в фрейме. Значение 1 – разрешение выдачи данных приемником в DMA после получения двух последовательных субкадров с обнаруженной последовательностью синхронизации. Значение 0 – отключает выдачу данных в DMA. |
| 1 | SYNCH_4W | Количество последовательных принятых слов синхронизации в фрейме. Значение 1 – разрешение выдачи данных приемником в DMA после получения четырех последовательных субкадров с обнаруженной последовательностью синхронизации. Значение 0 – отключает выдачу данных в DMA. |
| 0 | A717_RX_ON | Значение 1 – Включение приемника. Значение 0 – Отключение приемника. |

Примечание:

Запись данных в регистр возможна только при значении 0 бита A717_RX_ON. При значении данного бита 1, значение остальных бит сохраняется и происходит только перезапись бита

A717_RX_ON.

Запрещается одновременная установка в значение 1 битов BPRZ_MODE и HBP_MODE. В этом случае данные приниматься не будут, и будет установлен бит ошибки PR_ERR_RX в регистре RX_STAT_REG_717.

Приемник начинает выдачу данных в DMA, начиная с первого слова субкадра (кода синхронизации), сразу после нахождения заданного количества последовательных слов синхронизации.

Значение по умолчанию

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

8.1.2 Регистр: RX_STAT_REG_717

Адрес: 1504h, 1544h (каналов 1 и 2 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| - | - | - | - | - | - | - | - | - | - | - | - | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | - | R | R | R |

Описание: Регистр статуса приемника ARINC-717.

| Номер бита | Обозначение | Описание | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------------------|-------------|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31-20 | - | Резерв. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 19 | PR_ERR_RX | Значение 1 – Ошибка программирования приемника. Устанавливается в следующих случаях: А). Биты HBP_MODE и BPRZ_MODE регистра RX_CONF_REG_717 оба установлены в состояние 1. Б). В передатчике установлен режим «Тест», но режимы кодирования, установленные в приемнике и передатчике, отличаются. В). В передатчике установлен режим «Тест», но количество передаваемых/принимаемых слов данных, установленные в приемнике и передатчике, отличаются. Значение 0 – отсутствие ошибки. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 18 - 17 | SFRAME_NUM | Номер принимаемого субкадра. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 16 - 4 | WORD_NUM | Номер последнего принятого слова. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 3 | - | Резерв. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 2 | SYNCH_2E | Значение 1 – Синхронизация установлена для 2х последовательно принятых субкадров. Значение 0 – Отсутствие синхронизации. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | SYNCH_4E | Значение 1 – Синхронизация установлена для 4х последовательно принятых субкадров. Значение 0 – Отсутствие синхронизации. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | BIT_ERR | Значение 1 – Битовая ошибка низкого уровня, связанная с отсутствием данных в линии, ошибкой кодирования или несовпадением скорости приема/передачи. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

8.1.3 Регистр: TX_CONF_REG_717

Адрес: 1528h, 1568h (каналов 1 и 2 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | R | R | R | R | R | R | R | R |
| | | | | | | | | | | | | | | | | | | | | | | | | W | W | W | W | W | W | W | W |

Описание: Регистр управления передатчиком ARINC-717.

| Номер бита | Обозначение | Описание |
|------------|-------------|---|
| 31-8 | - | Резерв. |
| 7-4 | WORD_LEN | Количество слов данных передаваемого субфрейма: 0111 – 8192 слова/сек (резерв ARINC-717) 0110 – 4096 слова/сек (резерв ARINC-717) 0101 – 2048 слова/сек (резерв ARINC-717) 0100 – 1024 слова/сек 0011 – 512 слова/сек 0010 – 256 слова/сек 0001 – 128 слова/сек 0000 – 64 слова/сек 1000 – 32 слова/сек (только для совместимости с ARINC-573) |
| 3 | TEST | Значение 1 включает режим обратной связи (режим теста). В этом режиме выход передатчика подключается к входу приемника соответствующего номеру канала передатчика. При этом вход приемника отключается от выхода микросхем физического уровня, а на выходе микросхем физического уровня передатчика устанавливается значение соответствующее отсутствию сигнала. |
| 2 | BPRZ_MODE | Значение 1 – переводит передатчик в режим кодировки данных BPRZ. Блокирует работу соответствующего канала передатчика ARINC-429. Значение 0 – отключает кодирование данных в данном режиме. |
| 1 | HBP_MODE | Значение 1 – переводит передатчик в режим кодировки данных HBP. Значение 0 – отключает кодирование данных в данном режиме. |
| 0 | RES_FIFO | Значение 1 – сброс FIFO передатчика, остановка передачи. Значение 0 – разрешение работы передатчика. <u>Передача данных начинается сразу после записи в FIFO передатчика первого слова данных.</u> |

Примечание:

Запись данных в регистр возможна только при значении 1 бита RES_FIFO. При значении данного бита 0, значение остальных бит сохраняется и происходит только перезапись бита RES_FIFO.

Допускается одновременная установка битов BPRZ_MODE и HBP_MODE в состояние 1. При этом данные будут передаваться по двум линиям одновременно в соответствующей кодировке для каждой линии.

Значение по умолчанию

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

8.1.4 Регистр TX_STAT_REG_717

Адрес: 152Ch, 156Ch (каналов 1 и 2 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

Описание: Регистр статуса передатчика ARINC-717.

| Номер бита | Обозначение | Описание |
|------------|-------------|--|
| 31-16 | - | Резерв. |
| 15 | TX429_OFF | Значение 1 – Отключен передатчик соответствующего канала ARINC-429. Бит устанавливается в случае работы передатчика ARINC-717 в кодировке BPRZ или не совпадении скоростей передачи ARINC-429 и ARINC-717, работающего в кодировке HBP. Скорость передачи данных передатчика ARINC-429 12 – 14,5 кбит/сек соответствует следующим скоростям передатчика ARINC-717: 32 слова/сек 64 слова/сек 128 слова/сек Скорость передачи данных передатчика ARINC-429 100 кбит/сек и 50 кбит/сек, соответствует следующим скоростям передатчика ARINC-717: 8192 слова/сек 4096 слова/сек 2048 слова/сек Значение 0 – Работа передатчика ARINC-429 разрешена. |
| 14 | PR_ERR_TX | Значение 1 – Ошибка программирования передатчика. Устанавливается в следующих случаях: А). Бит RES_FIFO установлен в значение 0, но биты HBP_MODE и BPRZ_MODE регистра TX_CONF_REG_717 оба установлены в состояние 0. Б). В передатчике установлен режим «Тест», но режимы кодирования, установленные в приемнике и передатчике, отличаются. В). В передатчике установлен режим «Тест», но количество передаваемых/принимаемых слов данных, установленные в приемнике и передатчике, отличаются. Значение 0 – Нормальное состояние. |
| 13 | TX_ERR | Значение 1 – Ошибка переполнения или опустошения FIFO во время передачи данных. Сохраняется до сброса FIFO. Значение 0 – Нормальное состояние. |
| 12 | FIFO_FULL | Значение 1 – Ошибка переполнения FIFO – текущее состояние. Значение 0 – Нормальное состояние. |
| 11 | FIFO_EMPTY | Значение 1 – Ошибка опустошения FIFO – текущее состояние. Значение 0 – Нормальное состояние. |
| 10 | FIFO_AFULL | Значение 1 – FIFO заполнено более чем на 3/4 от максимального размера (384 слова). Значение 0 – Нормальное состояние. |
| 9 | FIFO_AEMPTY | Значение 1 – FIFO заполнено менее чем на 1/4 от максимального размера (128 слов). Значение 0 – Нормальное состояние. |
| 8-0 | FIFO_DIFF | Количество слов данных, находящихся в FIFO. <u>Следует учитывать, что одно слово FIFO соответствует двум словам передаваемых данных.</u> |

| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-----------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

8.1.5 TX717_FIFO_DAT

Адрес: 9000h, 9800h (каналов 1 и 2 соответственно)

| Номер бита | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|----|---|---|----|---|----|---|----|---|----|---|----|---|----|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| - | 31 | - | 30 | - | 29 | - | 28 | W | 27 | W | 26 | W | 25 | W | 24 | W | 23 | W | 22 | W | 21 | W | 20 | W | 19 | W | 18 | W | 17 | W | 16 | W | - | 15 | - | 14 | - | 13 | - | 12 | W | 11 | W | 10 | W | 9 | W | 8 | W | 7 | W | 6 | W | 5 | W | 4 | W | 3 | W | 2 | W | 1 | W | 0 | W |

Описание: Данные FIFO передатчика ARINC-717.

| Номер бита | Обозначение | Описание | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---|-------------|---------------------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|---|
| 31-28 | - | Записанные данные игнорируются. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 27-16 | DATA | Данные для передачи (нечетное слово). | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 15-12 | - | Записанные данные игнорируются. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 11-0 | DATA | Данные для передачи (четное слово). | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Биты 27 и 11 являются старшими битами слов передачи. Биты 16 и 0 являются младшими битами слов передачи данных. Биты 31-28 и 15-12 при передаче игнорируются. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Значение по умолчанию | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

8.2 Порядок программирования канала ARINC-717.

8.2.1 Приемник.

Перед включением приемника необходимо сконфигурировать регистр `RX_CONF_REG_717` для заданного режима работы с установленным в значение 0 битом `A717_RX_ON`. После чего произвести повторную запись в данный регистр, но уже со значением 1 бита `A717_RX_ON` (разрешение работы приемника).

Значение бита `DMA_LEN` позволяет регулировать время обновления данных DMA приемника: при низких скоростях приема удобнее использовать обновление по одному слову DMA (два слова ARINC-717), при более высоких – по четырем словам DMA (восемью словам ARINC-717).

Биты `MATCH`, устанавливают номер слова в субкадре, в котором записан “псевдо номер” субкадра. Это позволяет организовывать “супер кадры”. В этом случае “супер кадр”, может состоять из восьми и более субкадров. При установке бита `MATCH_ON` в значение 1 и совпадением номера принятого слова с установленным в регистре, в слове DMA приемника будет установлен соответствующий бит `MATCH`.

Работа приемника начинается сразу после установки бита `A717_RX_ON` в значение 1. Состояние приемника отображается в регистре `RX_STAT_REG_717`.

Биты `SYNCH_2E` и `SYNCH_4E` регистра `RX_STAT_REG_717` отображают текущее состояние синхронизации приемника и не влияют на выдачу данных в DMA. Например, при установленном в 1 бите `SYNCH_4W` регистра `RX_CONF_REG_717`, вначале примет значение 1 бит `SYNCH_2E` регистра `RX_STAT_REG_717`, но данные будут переданы в DMA только после установки в 1 бита `SYNCH_4E` регистра `RX_STAT_REG_717`.

Время вхождения приемника в режим синхронизации от 4х (2х) до 8 секунд, при условии уникальности хотя бы одного кода синхронизации любого субкадра в потоке данных кадра.

8.2.2 Передатчик.

Перед началом должен быть сконфигурирован регистр `TX_CONF_REG_717`, запись в регистр возможна только при установленном в состоянии 1 бите `RES_FIFO`. После чего производится повторная запись в данный регистр, но уже со значением 0 бита `RES_FIFO` (разрешение работы передатчика).

Запись данных в FIFO возможна не менее чем через 10 мкс после установки бита `RES_FIFO` в значение 0. Передача данных начинается сразу после записи в FIFO хотя бы одного слова (2х слов ARINC-717). Передатчик контролирует только скорость битового потока данных. Данные, записанные в FIFO, передатчиком не контролируются. Количество и скорость записи данных в FIFO может рассчитываться на основании состояния бит `FIFO_AFULL`, `FIFO_AEMPTY`, значения `FIFO_DIFF` регистра `TX_STAT_REG_717`, или рассчитываться программным способом исходя из скорости передачи.

Каждое первое слово субкадра, записываемое в FIFO в четном слове данных для передачи (биты 11-0), должно содержать слово синхронизации субкадра.

Слово синхронизации субкадра 1: Octal 1107; Hexadecimal 247.

Слово синхронизации субкадра 2: Octal 2670; Hexadecimal 5B8.

Слово синхронизации субкадра 3: Octal 5107; Hexadecimal A47.

Слово синхронизации субкадра 4: Octal 6670; Hexadecimal DB8.

8.3 Область данных DMA ARINC - 717.

8.3.1 Слово данных

| Номер бита | Обозначение | Описание |
|------------|-------------|--|
| 31 | MATCH_ODD | Значение 1 – совпадение номера нечетного слова данных со значением MATCH регистра RX_CONF_REG_717. Значение 0 – нет совпадения. |
| 30 | SYNCH_ERR | Значение 1 – ошибка синхронизации принимаемых данных. Значение 0 – отсутствие ошибки. |
| 29 - 28 | SF_NUM_O | Номер субкадра для принимаемого слова. |
| 27 - 16 | ODD_WORD | Значение принятого слова данных. Бит 27 является старшим битом, бит 16 является младшим битом слова. |
| 15 | MATCH_EVEN | Значение 1 – совпадение номера четного слова данных со значением MATCH регистра RX_CONF_REG_717. Значение 0 – нет совпадения. |
| 14 | SYNCH | Значение 1 – принятое слово является словом синхронизации. Значение 0 – слово данных. |
| 13 - 12 | SF_NUM_E | Номер субкадра для принимаемого слова. |
| 11 - 0 | EVEN_WORD | Значение принятого слова данных. Бит 11 является старшим битом, бит 0 является младшим битом слова. |

Примечание:

Несовпадение значений полей SF_NUM_O и SF_NUM_E означает ошибку синхронизации.

Номер субкадра устанавливается по значению полученного слова синхронизации субкадра: значение 00 соответствует субкадру 1... значение 11 соответствует субкадру 4. Первым словом субкадра является четное слово с установленным в значение 1 битом SYNCH.

Перечень вносимых изменений.

| Дата | Версия | Изменение |
|-------------|---------------|------------------|
| 10.04.2023 | 1.00 | Документ создан. |